

DERWENT-ACC-NO: 1995-362911  
DERWENT-WEEK: 199547  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device mfg method e.g. FRAM - involves forming semiconductor film having height resistance for oxidation over silicon substrate

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITQ]

PRIORITY-DATA: 1994JP-0035794 (March 7, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 07245409 A	<u>September 19, 1995</u>	N/A
H01L 029/786		010

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP07245409A	N/A	1994JP-0035794
March 7, 1994		

INT-CL (IPC): H01L021/20; H01L021/8247 ; H01L027/10 ;  
H01L029/78 ;  
H01L029/786 ; H01L029/788 ; H01L029/792

ABSTRACTED-PUB-NO: JP07245409A

BASIC-ABSTRACT: The mfg. method includes an Si substrate (11). A semiconductor film, made of cubic SiC, BN, YB66, titanium acid, strontium, diamond and material having high resistance for oxidation is formed outside the substrate.

A ferroelectric wiring semiconductor substrate (14) is provided over the semiconductor film. A low resistance wiring (17) made of Cu or Ag is provided over the semiconductor film.

ADVANTAGE - Provides high power. Obtains highly reliable semiconductor device.

CHOSEN-DRAWING: Dwg.2/11

TITLE-TERMS:

SEMICONDUCTOR DEVICE MANUFACTURE METHOD FORMING SEMICONDUCTOR  
FILM HEIGHT  
RESISTANCE OXIDATION SILICON SUBSTRATE

ADDL-INDEXING-TERMS:

FERROELECTRIC RANDOM ACCESS MEMORY

DERWENT-CLASS: L03 U12 U14

CPI-CODES: L03-G04A; L04-C10D; L04-C10E;

EPI-CODES: U12-D02A9; U14-A03F;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1995-157977

Non-CPI Secondary Accession Numbers: N1995-268909

**MACHINE-ASSISTED TRANSLATION (MAT):**

**(19)【発行国】**  
 日本国特許庁 (J P)

**(19)[ISSUING COUNTRY]**  
 Japanese Patent Office (JP)

**(12)【公報種別】**  
 公開特許公報 (A)

Laid-open (Kokai) patent application number  
 (A)

**(11)【公開番号】**  
 特開平 7 - 2 4 5 4 0 9

**(11)[UNEXAMINED PATENT NUMBER]**  
 Unexamined-Japanese-patent-No. 7-245409

**(43)【公開日】**  
 平成 7 年 ( 1 9 9 5 ) 9 月 1 9  
 日

**(43)[DATE OF FIRST PUBLICATION]**  
September 19th, Heisei 7 (1995)

**(54)【発明の名称】**  
 半導体装置

**(54)[TITLE]**  
 Semiconductor device

**(51)【国際特許分類第 6 版】**  
 H01L 29/786  
           21/20  
 8418-4M  
           27/10  
 7210-4M  
           29/78  
           21/8247  
           29/788  
           29/792

**(51)[IPC]**  
 H01L 29/786  
           21/20           8418-4M  
           27/10       451   7210-4M  
           29/7821/824729/78829/792

**【F I】**  
 H01L 29/78   311 B 9056-4M  
                   301 B 7514-  
 4M  
                   371

**[FI]**  
 H01L 29/78   311 B 9056-4M  
 301 B 7514-4M  
 371

**【審査請求】**  
 未請求

**[EXAMINATION REQUEST]**  
 UNREQUESTED

**【請求項の数】**   1 2

**[NUMBER OF CLAIMS]**   12

**【出願形態】**   O L

**[Application form]**   OL

【全頁数】 10

[NUMBER OF PAGES] 10

(21) 【出願番号】

特願平6-35794

(21)[APPLICATION NUMBER]

Japanese-Patent-Application-No. 6-35794

(22) 【出願日】

平成6年(1994)3月7日

(22)[DATE OF FILING]

March 7th, Heisei 6 (1994)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】

000006013

[ID CODE]

000006013

【氏名又は名称】

三菱電機株式会社

Mitsubishi Electric Corp. K.K.

【住所又は居所】

東京都千代田区丸の内二丁目2番3号

[ADDRESS]

(72) 【発明者】

(72)[INVENTOR]

【氏名】 片岡 正行

Masayuki Kataoka

【住所又は居所】

尼崎市塚口本町8丁目1番1号  
三菱電機株式会社半導体基礎研  
究所内

[ADDRESS]

(72) 【発明者】

(72)[INVENTOR]

【氏名】 古川 彰彦

Akihiko Furukawa

【住所又は居所】

尼崎市塚口本町8丁目1番1号  
三菱電機株式会社半導体基礎研  
究所内

[ADDRESS]

(72) 【発明者】

(72)[INVENTOR]

【氏名】 高見 哲也

Tetsuya Takami

【住所又は居所】

[ADDRESS]

尼崎市塚口本町 8 丁目 1 番 1 号  
三菱電機株式会社半導体基礎研  
究所内

(72) 【発明者】

(72)[INVENTOR]

【氏名】 大石 敏之

Toshiyuki Oishi

【住所又は居所】

[ADDRESS]

尼崎市塚口本町 8 丁目 1 番 1 号  
三菱電機株式会社半導体基礎研  
究所内

(72) 【発明者】

(72)[INVENTOR]

【氏名】 和田 幸彦

Yukihiko Wada

【住所又は居所】

[ADDRESS]

尼崎市塚口本町 8 丁目 1 番 1 号  
三菱電機株式会社半導体基礎研  
究所内

(72) 【発明者】

(72)[INVENTOR]

【氏名】 黒田 研一

Kenichi Kuroda

【住所又は居所】

[ADDRESS]

尼崎市塚口本町 8 丁目 1 番 1 号  
三菱電機株式会社半導体基礎研  
究所内

(72) 【発明者】

(72)[INVENTOR]

【氏名】 児島 一良

Kazuyoshi Kojima

【住所又は居所】

[ADDRESS]

尼崎市塚口本町 8 丁目 1 番 1 号  
三菱電機株式会社半導体基礎研  
究所内

(74)【代理人】

(74)[PATENT AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】 高田 守

Mamoru Takada

(57)【要約】

(57)[SUMMARY]

## 【目的】

PZT等の優れた特性を有する強誘電体絶縁膜を用いることのできる、また高周波、高電力化に対応できる耐酸化性の高い半導体材料を用いた半導体装置を提供することを目的とする。さらに、界面構造の乱れないSOI基板や、FRAMが部分配置された半導体集積回路等を実現する。

## 【構成】

耐酸化性半導体材料として、SiCまたは立方晶SiC、BN、YB<sub>66</sub>、チタン酸ストロンチウム、ダイヤモンドを用いた。さらに、配線材料として、低抵抗の銀や銅を用いるほか、強誘電体、配線材料半導体材料の格子定数を一致させた。また、耐酸化性半導体材料により構成されたFRAMを半導体集積回路に搭載し、高集積化を図った。

## [OBJECT]

The ferroelectric insulating film which has the PZT etc. outstanding property can be used. Moreover it can correspond in high-frequency high-powerisation. It aims at providing the semiconductor device using the oxidation-resistant high semiconductor material with an above-mentioned characteristic.

Furthermore, the semiconductor integrated circuit by which the part arrangement of the FRAM was performed is realized with SOI substrate without the disorder of the boundary-surface structure.

## [SUMMARY OF THE INVENTION]

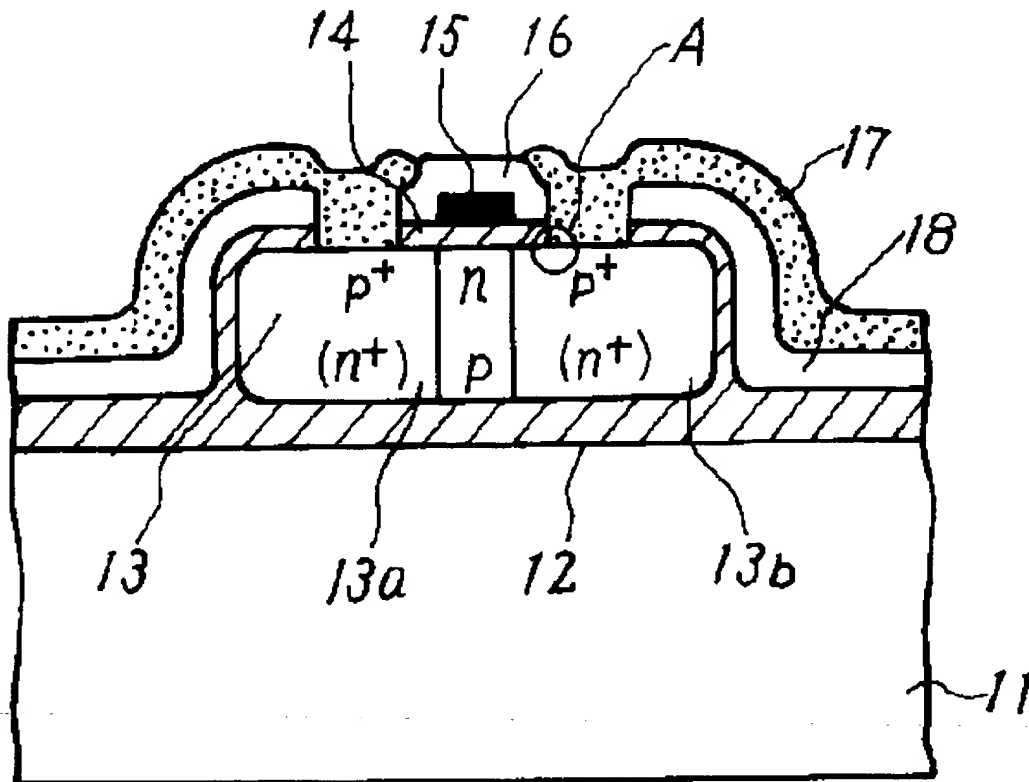
As an oxidation-resistant semiconductor material, SiC or cubics SiC, BN, and YB<sub>66</sub>, the strontium titanate, and the diamond were used.

Furthermore, silver and copper of a low resistance are used as wiring material, and also the lattice constant of a ferroelectric wiring material semiconductor material was made to correspond.

Moreover, FRAM comprised by the oxidation-resistant semiconductor material is mounted in a semiconductor integrated circuit.

High integration was attained.

YB<sub>66</sub>



## 【特許請求の範囲】

## [CLAIMS]

## 【請求項 1】

絶縁ゲート型電界効果トランジスタ (MISFET) を用いて構成される強誘電体記憶素子 (FRAM) において、半導体部が耐酸化性の良好な半導体材料からなることを特徴とする半導体装置。

## [CLAIM 1]

A semiconductor device, in which in the ferroelectric memory element (FRAM) comprised using an insulated gate type field effect transistor (MISFET), a semiconductor part consists of an oxidation-resistant favorable semiconductor material.

(10) Y.B.66

## 【請求項 2】

半導体材料により形成したドレインまたはソース部分に、直接または導電性膜を介して銀または銅からなる配線材料により接続することを特徴とする特許請求の範囲第 1 項記載の半導体装

## [CLAIM 2]

A semiconductor device described in the 1st claim, which connects with the drain or the source part formed by the semiconductor material by the wiring material comprising silver or copper via direct or an electroconductive film.

置。

**【請求項 3】**

半導体材料上に形成された強誘電性絶縁層の格子定数が配線材料の格子定数と概ね一致することを特徴とする特許請求の範囲第1項記載の半導体装置。

**[CLAIM 3]**

A semiconductor device described in the 1st claim, in which the lattice constant of the ferroelectric insulating layer formed on the semiconductor material corresponds in general with the lattice constant of wiring material.

**【請求項 4】**

配線材料が銀またはアルミニウムであることを特徴とする特許請求の範囲第3項記載の半導体装置。

**[CLAIM 4]**

A semiconductor device described in the 3rd claim, in which wiring material is silver or aluminium.

**【請求項 5】**

絶縁体上半導体 (SOI) 基板を用いた半導体集積回路において、SOI 基板の半導体部が耐酸化性の良好な半導体材料からなることを特徴とする半導体装置。

**[CLAIM 5]**

A semiconductor device, in which the semiconductor part of SOI substrate consists of an oxidation-resistant favorable semiconductor material in the semiconductor integrated circuit using the insulator top semiconductor (SOI) substrate.

**【請求項 6】**

半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部が、表面変質層の厚さが一定値以下の耐酸化性の良好な半導体材料で構成されることを特徴とする半導体装置。

**[CLAIM 6]**

A semiconductor device, in which in the semiconductor integrated circuit which consists of the active element arranged on a semiconductor substrate, a part of active element or the semiconductor part of all elements is comprised below. The thickness of surface alteration layer is below fixed value, and it is an oxidation-resistant favorable semiconductor material.

**【請求項 7】**

半導体材料が炭化ケイ素 (SiC) であることを特徴とする特許請求の範囲第1～6項のいずれか1項に記載の半導体装置。

**[CLAIM 7]**

A semiconductor device described in any 1 item of the claim 1 to 6th item, in which a semiconductor material is silicon carbide (SiC).

**【請求項 8】**

炭化ケイ素 (SiC) の構造が立方晶であることを特徴とする

**[CLAIM 8]**

A semiconductor device described in the 7th claim, in which the structure of silicon carbide (SiC) is a cubic.



特許請求の範囲第7項記載の半導体装置。

**【請求項9】**

半導体材料が窒化ホウ素 (BN) またはダイヤモンドであることを特徴とする特許請求の範囲第1、2、5、6項のいずれか1項に記載の半導体装置。

**[CLAIM 9]**

A semiconductor device described in 1 item of the range 1st, 2, 5 and 6 item of a patent claim, in which a semiconductor material is the boron nitride (BN) or a diamond.

**【請求項10】**

半導体材料がYB<sub>66</sub>であることを特徴とする特許請求の範囲第1、2、5、6項のいずれか1項に記載の半導体装置。

**[CLAIM 10]**

A semiconductor device described in 1 item of the range 1st, 2, 5, and 6 item of a patent claim, in which a semiconductor material is YB<sub>66</sub>.

**【請求項11】**

半導体材料がニオブ (Nb) を主原料とする不純物を含有したチタン酸ストロンチウム (SrTiO<sub>3</sub>) または化学量論比から酸素が一部欠落したチタン酸ストロンチウム (SrTiO<sub>3-x</sub>) であることを特徴とする特許請求の範囲第1～6項のいずれか1項に記載の半導体装置。

**[CLAIM 11]**

A semiconductor device described in any 1 item of the claim 1 to 6th item, in which a semiconductor material is the following. The strontium titanate which contained the impurity which does niobium (Nb) as the main starting materials (SrTiO<sub>3</sub>) or the strontium titanate which lacked a part of oxygen from the stoichiometry (SrTiO<sub>3-x</sub>).

**【請求項12】**

半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部が特許請求の範囲第1～4項または7～11項のいずれか1項に記載の半導体装置からなることを特徴とする半導体装置。

**[CLAIM 12]**

A semiconductor device, in which in the semiconductor integrated circuit which consists of the active element arranged on a semiconductor substrate, the one part or all of an active element becomes any 1 item of a claim first-to-fourth item or 7 to 11 item from the semiconductor device of mention.

**【発明の詳細な説明】****[DETAILED DESCRIPTION OF INVENTION]****【0001】****[0001]**

**【産業上の利用分野】**

本発明は、電子デバイス用材料として、耐酸化性に優れた半導体材料を使用した半導体装置に関する。

**【0002】****【従来の技術】**

半導体集積回路においては様々な絶縁膜が用いられている。なかでも、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  (略称PZT)などの金属酸化物は、絶縁性の他、強誘電性など様々な優れた特性をもつ。しかし、これらの特性を発現させるためには、絶縁膜の形成時に、高温プロセスが要求される。そのため、例えばSiのような耐酸化性の劣る半導体上への形成は、高温プロセスによる素子機能の損傷が懸念され、また金属酸化物のSiへの拡散による機能の低減が懸念されていた。図8はIEEE Trans. Electron Devices ED-21, p499 (1974)に報告されているSi基板上に強誘電体 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜を接合した、絶縁ゲート型電界効果トランジスタ(MISFET; Metal Insulator Semiconductor Field Effect Transistor)を用いて構成される強誘電体記憶素子FRAM; Ferroelectric Random Access Memory)である。図において、81はp型Si半

**[INDUSTRIAL APPLICATION]**

This invention relates to the semiconductor device which used the semiconductor material outstanding in oxidation resistance as an electronic-device material.

**[0002]****[PRIOR ART]**

Various insulating films are used in the semiconductor integrated circuit.

Among them, metallic oxides, such as  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  and  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  (abbreviated-name PZT), have various outstanding properties, such as a ferroelectricity besides insulation.

However, in order to make these properties express, a high-temperature process is required at the time of formation of an insulating film.

Therefore, as for formation of an onto the semiconductor which the oxidation resistance such as Si deteriorates, it is anxious about damage of the element function due to a high-temperature process, for example.

Moreover it was anxious about the reduction of the function due to the spreading to Si of a metallic oxide.

Fig. 8 is the following. On Si substrate reported to IEEE Trans. Electron Devices ED-21 and p499 (1974), it is ferroelectric memory-element FRAM; Ferroelectric Random Access Memory comprised using the following which joined  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  ferroelectric film. Insulated gate type field effect transistor (MISFET; Metal Insulator Semiconductor Field Effect Transistor).

In the figure, 81 is a p-type Si semiconductor substrate. 82 is a metal electrode. 83 is  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  ferroelectric film. 84 is N channels. 85 is a source. 86 is a gate. 87 is a drain.

$\text{Bi}_4\text{Ti}_3\text{O}_{12}$  ferroelectric film 83 heats the p-type Si semiconductor substrate 81 to high temperature.

It forms by the sputtering method.

導体基板、82は金属電極、83は強誘電体  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  膜、84はNチャンネル、85はソース、86はゲート、87はドレインである。強誘電体  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  膜83は、p型Si半導体基板81を高温に加熱し、スパッタリング法により形成している。この強誘電体トランジスタは記憶素子として動作させることができる。しかし、このトランジスタは、上記で示したような素子機能の損傷が懸念されるため、量産プロセスの確立に至っていない。

#### 【0003】

一方、PZTのような強誘電体膜をトランジスタへ適用するための、別の構造が提案されている。図9は強誘電体単結晶基板を用いた強誘電体トランジスタの構造を示したものである。図において、91は下部ゲート電極、92は強誘電体単結晶基板で、厚さは150 $\mu\text{m}$ 程度の薄い基板である。93はソース電極、94はドレイン電極、95は真空蒸着した半導体膜、96はゲート絶縁膜、97は上部ゲート電極である。強誘電体単結晶基板を用いたのは、その上に形成する半導体膜の結晶性を良好にするためである。各電極には金(Au)を用いた。このトランジスタは下部ゲート電極91を介してSi基板等にボンディングすることができる。また、ボンディングにより、強誘電体トランジスタの半導体集積回路への適用が可能となる。

This ferroelectric transistor can be operated as a memory element.

However, since it is anxious about damage of the element function which was shown by the above, this transistor has not arrived in establishment of a mass-production process.

#### [0003]

On the other hand, another structure for applying the ferroelectric film such as PZT to a transistor is proposed.

Fig. 9 shows the structure of the ferroelectric transistor using the ferroelectric single-crystal substrate.

In the figure, 91 is a lower-part gate electrode. 92 is a ferroelectric single-crystal substrate. Thickness is an about 150-micrometer thin substrate.

93 is a source electrode. 94 is a drain electrode. 95 is the semiconductor film which performed the vacuum evaporation. 96 is a gate insulating film. 97 is an upper-part gate electrode.

The ferroelectric single-crystal substrate was used for performing satisfactorily the crystallinity of the semiconductor film formed on it.

Metal (Au) was used for each electrode.

The bonding of this transistor can be performed to Si substrate etc. via the lower-part gate electrode 91.

Moreover, application to the semiconductor integrated circuit of a ferroelectric transistor can be performed with a bonding.

## 【0004】

また、回路動作信頼性、集積度の向上のために、絶縁性基板上にSi等の半導体を形成するSOI (Semiconductor-on-Insulator) 構造の使用が進められている。絶縁性基板としてはサファイヤ ( $Al_2O_3$ ) や石英 ( $SiO_2$ ) 等が使用される。

## 【0005】

また、図10は、IEEE Journal of Solid-State Circuits, Vol. 27 No. 11 p. 1534 (1992) に報告された従来の半導体基板上に能動素子を配置した半導体集積回路を示す。図において101はDRAM (Dynamic Random Access Memory) サブアレイとSRAM (Static Random Access Memory)、102はDRAMセル、103はコラムデコーダ、104はロウデコーダである。このように、従来はDRAM、SRAMと周辺制御回路により単一の集積回路が構成されていた。

## 【0006】

また、図11に表面酸化膜の厚さが一定の値以下の半導体基板の断面模式図を示す。図において、111はSi半導体基板、112はSi表面酸化膜、113はSiC、114はSiC表面酸化膜である。従来、表面酸化膜の厚さは5nm以上で制御

## [0004]

Moreover, usage of SOI (Semiconductor-ON-Insulator) structure which forms semiconductors, such as Si, on an insulating substrate for the improvement in circuit operational reliability and a degree of integration is advanced.

A sapphire ( $Al_2O_3$ ), quartz ( $SiO_2$ ), etc. are used as an insulating substrate.

## [0005]

Moreover, Fig. 10 shows the semiconductor integrated circuit which has arranged the active element on the conventional semiconductor substrate reported to IEEE Journal of Solid-State Circuits, Vol.27 No.11 p.1534 (1992).

101 is DRAM (Dynamic Random Access Memory) subarray and SRAM (Static Random Access Memory) in the figure. 102 is DRAM cell. 103 is a column decoder. 104 is a row decoder.

Thus, the single integrated circuit was conventionally comprised by DRAM, SRAM, and the peripheral control circuit.

## [0006]

Moreover, the cross-sectional model drawing of the semiconductor substrate below the value with the fixed thickness of a surface oxide film is shown in Fig. 11.

In the figure, 111 is Si semiconductor substrate. 112 is Si surface oxide film. 113 is SiC. 114 is SiC surface oxide film.

Conventionally, because thickness of a surface oxide film was controlled by 5 or more nm, it

していたので、自然酸化膜の厚さを考慮して、その上にCVD法等により酸化膜を形成していた。

【0007】

【発明が解決しようとする課題】

従来の半導体装置は、以上のように構成されていたので、半導体基板上に強誘電体膜を形成した強誘電体トランジスタの場合を量産するには、素子機能の損傷による不良発生が問題となっていた。また、強誘電体単結晶基板上に半導体膜を形成した強誘電体トランジスタを集積回路に使用する場合、半導体基板上への配線のボンディングが必要のため、モノリシック性がなくなり、設計や高集積化が困難という問題があった。また、PZT等強誘電体とSiは反応性が高いため、反応防止材としてPtのようなバリア層を設けることも考えられるが、エッジ構造部でのリーク電流の発生により電気的な素子分離が十分でなくなるという問題があった。さらに、Siと強誘電体とは格子定数の差が大きく（Si：約0.54 nm, PZT強誘電体：約0.4 nm）、格子不整合のため、強誘電性絶縁膜上へ結晶性の優れたSi膜の形成は困難であった。逆に、Si基板上へ結晶性の良い強誘電体膜を形成することも困難であった。

【0008】

considers thickness of a natural-oxidation film.

The oxide film was formed by the CVD method etc. on it.

[0007]

[PROBLEM ADDRESSED]

Because the conventional semiconductor device was comprised as mentioned above, in order to mass-produce the case of the ferroelectric transistor that the ferroelectric film was formed on the semiconductor substrate, the defective generation due to damage of an element function had become the problem.

Moreover, when using the ferroelectric transistor that the semiconductor film was formed on the ferroelectric single-crystal substrate to an integrated circuit, since the bonding of the wiring to a semiconductor-substrate top is required, monolithic property is eliminated.

There was a problem that design and high integration were difficult.

Moreover, since PZT etc. ferroelectric substance and Si have a high reactivity, providing the barrier layer such as Pt is also considered as a reaction prevention material.

However, there was a problem that an electric element separation became not sufficient, by generation of the leak current in an edge structure part.

Furthermore, Si and a ferroelectric substance have the large difference of a lattice constant (Si : about 0.54 nm, PZT ferroelectric : about 0.4 nm). Moreover, it is a grating mismatching. Therefore, formation of crystalline outstanding Si film was difficult to onto the ferroelectric insulating film.

Conversely, it was difficult to also form a crystalline sufficient ferroelectric film in onto Si substrate.

[0008]

また、高周波、高電力化に対応した半導体装置を実現するにはPZTのような強誘電性絶縁膜の採用に加えて、低抵抗配線部材を選定する必要があり、さらに素子機能を十分発揮させるために強誘電性絶縁膜と配線部材との間の応力を緩和しかつ付着力の向上を達成しなくてはならなかった。

**【0009】**

さらに、従来の半導体装置に使用されるSOI基板は、以上のように構成されていたので、例えば代表的なSOI構造の一つであるサファイヤ上にSiを形成したものでは、Si層へのAl（サファイヤの構成元素）の拡散、サファイヤとSiの界面の格子定数の差により発生する結晶欠陥の誘起等により、界面の乱れが素子性能を低下させ、これが大きな問題となっていた。

**【0010】**

さらに、従来の半導体集積回路に使用される能動素子は、表面酸化膜を5nm以上の厚さに制御すればよかったが、今後の半導体集積回路に使用される、例えばMISトランジスタでは、チャンネル長が0.1 $\mu$ m、ゲート絶縁膜厚が3nm以下の制御が必要である。そのため、自然酸化膜の厚さが通常4nm以上もあるSi基板の適用は難しく、Si基板よりも、より薄い酸化膜が安定して形成できる半導体材料が必要となっていた。

Moreover, in order to realize the semiconductor device corresponded in high-frequency high-powerisation, it performs like this. In addition to adoption of the ferroelectric insulating film such as PZT, a low resistance wiring member needs to be selected.

Furthermore in order to perform the sufficient exertion of the element function, stress between a ferroelectric insulating film and a wiring member is alleviated. And, the improvement in an adhesion had to be attained.

**[0009]**

Furthermore, SOI substrate used to the conventional semiconductor device was comprised as mentioned above. Therefore, for example, the disorder of a boundary surface makes element performance reduce by spreading of Al (constituent element of a sapphire) to Si layer in the thing that Si was formed on the sapphire which is one of typical SOI structure. Moreover, the disorder of a boundary surface makes element performance reduce by induction of the crystal defect generated according to the difference of the lattice constant of the boundary surface of a sapphire and Si etc.

This had become the large problem.

**[0010]**

Furthermore, the active element used to the conventional semiconductor integrated circuit should just have controlled the surface oxide film in the thickness of 5 or more nm.

However, in that which (for example, MIS transistor) is used to a future semiconductor integrated circuit, channel length is 0.1 micrometers and the gate insulation film thickness needs the control of 3 nm or less.

Therefore, 4 nm or more of the thickness of a natural-oxidation film is difficult for application of a certain Si substrate usually. Moreover, the semiconductor material which an oxide film thinner than Si substrate can form stably was needed.

## 【0011】

さらに、従来の半導体集積回路においては半導体基板上にDRAMとSRAMの能動素子を配置し設計していたので、高出力化への対応が困難で、さらに配置する素子数に限界があり高集積化の妨げとなっていた。また、SRAMに代って従来構造のFRAMを配置する場合、上記のように、FRAMをボンディングすることにより集積回路に搭載していたため、モノリシック性がなくなることにより設計が難しくなり、また、リーク等素子機能の低下が懸念されていた。

## 【0012】

この発明は、上記のような問題を解決するためになされたもので、PZT等のような優れた特性を有する絶縁膜を用いることのできる半導体基板材料を有する半導体装置を提供するものである。また、高周波、高電力化に対応できる半導体基板材料を有する半導体装置を提供するものである。さらに、界面構造の乱れのないSOI基板を実現するための半導体材料からなる半導体装置を提供するものである。さらに、半導体集積回路において、高出力化、高集積化に対応できるFRAMが部分配置された半導体装置を提供するものである。さらに、Si基板よりも、より薄い酸化膜が安定して形成できる基板を有する半導体装置を提供するものである。

## 【0013】

## [0011]

Furthermore, in the conventional semiconductor integrated circuit, the active element of DRAM and SRAM was arranged and designed on the semiconductor substrate. Therefore, the response to high-outputting was difficult and had become the hindrance of high integration with the limit further at the number of elements to arrange.

Moreover, when FRAM of the structure had been conventionally arranged instead of SRAM, it mounted in the integrated circuit by performing the bonding of the FRAM as mentioned above. Therefore, when monolithic property is eliminated, design becomes difficult.

Moreover, it was anxious about the reduction of element functions, such as leak.

## [0012]

This invention was made in order to solve the above problems. The semiconductor device which has the semiconductor-substrate material which can use the insulating film which has the outstanding property such as PZT etc. is provided.

Moreover, the semiconductor device which has the semiconductor-substrate material which can be corresponded in high-frequency high-powerisation is provided.

Furthermore, the semiconductor device comprising the semiconductor material for realizing SOI substrate without the disorder of the boundary-surface structure is provided.

Furthermore, in a semiconductor integrated circuit, the semiconductor device by which the part arrangement of the FRAM which can be corresponded in high-outputting and high integration was performed is provided.

Furthermore, an oxide film thinner than Si substrate provides the semiconductor device which has the substrate which can be formed stably.

## [0013]

**【課題を解決するための手段】**

請求項 1 の発明に係わる半導体装置は、M I S F E T を用いて構成される F R A M において、半導体部を耐酸化性の良好な半導体材料より構成するものである。

**【 0 0 1 4 】**

請求項 2 の発明に係わる半導体装置は、請求項 1 の半導体装置において、半導体材料により形成されたドレインまたはソース部分に接続する配線材料が銀または銅からなることを規定したものである。

**【 0 0 1 5 】**

請求項 3 の発明に係わる半導体装置は、請求項 1 の半導体装置において、半導体材料上に形成された強誘電性絶縁層の格子定数と配線部材を構成する配線材料の格子定数がほぼ等しいことを規定するものである。

**【 0 0 1 6 】**

請求項 4 の発明に係わる半導体装置は、請求項 3 の配線材料が銀またはアルミニウムであることを規定するものである。

**【 0 0 1 7 】**

請求項 5 の発明に係わる半導体装置は、S O I 構造を用いた半導体集積回路において、半導体部を耐酸化性の良好な半導体材料により構成するものである。

**【 0 0 1 8 】****[SOLUTION OF THE INVENTION]**

The semiconductor device in connection with invention of Claim 1 comprises a semiconductor part from an oxidation-resistant favorable semiconductor material in FRAM comprised using MISFET.

**[0014]**

In the semiconductor device of Claim 1, as for the semiconductor device in connection with invention of Claim 2, the wiring material linked to the drain or the source part formed of the semiconductor material stipulates comprising silver or copper.

**[0015]**

The semiconductor device in connection with invention of Claim 3 stipulates that the lattice constant of the wiring material which comprises the lattice constant and the wiring member of a ferroelectric insulating layer which were formed on the semiconductor material is almost equal in the semiconductor device of Claim 1.

**[0016]**

The semiconductor device in connection with invention of Claim 4 stipulates that the wiring material of Claim 3 is silver or aluminium.

**[0017]**

The semiconductor device in connection with invention of Claim 5 comprises a semiconductor part by the oxidation-resistant favorable semiconductor material in the semiconductor integrated circuit using SOI structure.

**[0018]**

The semiconductor device in connection with



請求項6の発明に係わる半導体装置は、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部を、表面変質層の制御された耐酸化性の良好な半導体材料により構成するものである。

**【0019】**

請求項7の発明に係わる半導体装置は、請求項1～6の半導体装置の半導体部をSiCにより構成するものである。

**【0020】**

請求項8の発明に係わる半導体装置は、請求項7のSiCとして立方晶構造のSiCを用いたものである。

**【0021】**

請求項9の発明に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部をBNまたはダイヤモンドにより構成するものである。

**【0022】**

請求項10の発明に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部をYB<sub>66</sub>により構成するものである。

**【0023】**

請求項11の発明に係わる半導体装置は、請求項1～6の半導体装置の半導体部をNbを主原料とする不純物を含むSrTiO<sub>3</sub>または化学量論比から

invention of Claim 6 comprises a part of active element or the semiconductor part of all elements by the oxidation-resistant favorable semiconductor material by which surface alteration layer was controlled, in the semiconductor integrated circuit which consists of the active element arranged on a semiconductor substrate.

**[0019]**

The semiconductor device in connection with invention of Claim 7 comprises the semiconductor part of the semiconductor device of Claim 1 - 6 by SiC.

**[0020]**

The semiconductor device in connection with invention of Claim 8 uses SiC of the cubic structure as SiC of Claim 7.

**[0021]**

The semiconductor device in connection with invention of Claim 9 comprises the semiconductor part of the semiconductor device of Claims 1, 2, 5, and 6 with BN or a diamond.

**[0022]**

The semiconductor device in connection with invention of Claim 10 comprises the semiconductor part of the semiconductor device of Claims 1, 2, 5, and 6 by YB<sub>66</sub>.

**[0023]**

SrTiO<sub>3-x</sub> which lacked a part of oxygen in the semiconductor part of the semiconductor device of Claim 1 - 6 from SrTiO<sub>3</sub> which contained the impurity which does Nb as the main starting materials, or the stoichiometry comprises the semiconductor device in connection with

酸素が一部欠落した  $\text{SrTiO}_{3-x}$  により構成するものである。 invention of Claim 11.

## 【0024】

請求項12の発明に係わる半導体装置は、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子を請求項1～4、7～11項のいずれか1項に記載の半導体装置により構成するものである。

## [0024]

The semiconductor device in connection with invention of Claim 12, in the semiconductor integrated circuit which consists of the active element arranged on a semiconductor substrate, the semiconductor device of mention comprises the element of the one part or all of active elements in any 1 item of Claim 1 - 4 and 7 to 11 item.

## 【0025】

## 【作用】

この発明の請求項1に係わる半導体装置は、半導体部を耐酸化性の良好な半導体材料を用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないように、機能を維持するよう作用する。

## [0025]

## [EFFECT]

The semiconductor device in connection with Claim 1 of this invention used the semiconductor part the oxidation-resistant favorable semiconductor material. Therefore, even when it forms PZT etc. in a high-temperature process on it, a reduction of substrate functions, such as surface oxidation and a structural change, is not produced. In order to perform an above, it effects so that a function may be maintained.

## 【0026】

この発明の請求項2に係わる半導体装置は、請求項1に記載の半導体装置の配線材料として銀または銅のような低抵抗の材料を用いたので、高出力回路のような大電流回路にも対応できるよう作用する。

## [0026]

The semiconductor device in connection with Claim 2 of this invention, as wiring material of a semiconductor device described in Claim 1, the material of the low resistance such as silver or copper was used. Therefore, it effects so that it can correspond also in the heavy-current circuit such as a high output circuit.

## 【0027】

この発明の請求項3に係わる半導体装置は、請求項1に記載の半導体装置の強誘電体部の格子定数をほぼ一致させたので、格子定数の差による界面での応力や結晶欠陥の発生を抑制し、付

## [0027]

The semiconductor device in connection with Claim 3 of this invention made Claim 1 correspond almost the lattice constant of the ferro-electric body part of the semiconductor device of mention. Therefore, the stress in the boundary surface and the generation of the crystal defect due to the difference of a lattice

着力が向上するように作用する。

**【0028】**

この発明の請求項4に係わる半導体装置は、請求項3に記載の半導体装置の配線材料として銀やアルミニウムを用いたので、格子定数の差による界面での応力や結晶欠陥の発生を抑制し、付着力が向上するように作用し、さらに、低抵抗の材料であるので、高出力回路のような大電流回路にも対応できるよう作用する。

**【0029】**

この発明の請求項5に係わる半導体装置は、SOI基板の半導体部を耐酸化性の良好な半導体材料を用いたので、これらは化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。

**【0030】**

この発明の請求項6に係わる半導体装置は、半導体集積回路の能動素子を構成する半導体に耐酸化性の良好な半導体材料を用いたので、自然酸化膜は極めて薄くしか形成されないので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

**【0031】**

この発明の請求項7に係わる半導体装置は、請求項1～6の半

constant are suppressed.

It effects so that an adhesion may improve.

**[0028]**

The semiconductor device in connection with Claim 4 of this invention used silver and aluminium for Claim 3 as wiring material of the semiconductor device of mention. Therefore, the stress in the boundary surface and the generation of the crystal defect due to the difference of a lattice constant are suppressed.

It effects so that an adhesion may improve. Furthermore, it is the material of a low resistance. Therefore, it effects so that it can correspond also in the heavy-current circuit such as a high output circuit.

**[0029]**

The semiconductor device in connection with Claim 5 of this invention used the semiconductor part of SOI substrate the oxidation-resistant favorable semiconductor material. Therefore, since these are chemically stable, a reduction of functions, such as a spreading of the constituent element in a boundary surface and a substrate structural change, produces them difficult. Moreover, it effects so that a function may be maintained.

**[0030]**

The semiconductor device in connection with Claim 6 of this invention used the oxidation-resistant favorable semiconductor material for the semiconductor which comprises the active element of a semiconductor integrated circuit. Therefore, because a natural-oxidation film is not formed thinly extremely, surface alteration layer, such as a surface oxide film, tends to control it. Moreover, it stimulates to high integration of a semiconductor device, such as reducing of channel length.

**[0031]**

The semiconductor device in connection with Claim 7 of this invention used SiC which is an oxidation-resistant favorable semiconductor

導体装置の半導体部に耐酸化性の良好な半導体材料であるSiCを用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないもので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

**【0032】**

この発明の請求項8に係わる半導体装置は、請求項7のSiCとして立方晶構造のSiCを用いたので、一般的なSiCよりも緻密な構造であるため、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、一層機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、一層機能を維持するよう作用する。更に、自然酸化膜はさらに極めて薄くしか形成されないもので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

**【0033】**

material for the semiconductor part of the semiconductor device of Claim 1 - 6. Therefore, even when it forms PZT etc. in a high-temperature process on it, a reduction of substrate functions, such as surface oxidation and a structural change, is not produced. In order to perform an above, it effects so that a function may be maintained.

Moreover, since it is chemically stable, it is hard to produce a reduction of functions, such as a spreading of the constituent element in a boundary surface, and a substrate structural change. Moreover, it effects so that a function may be maintained.

Furthermore, because a natural-oxidation film is not formed thinly extremely, surface alteration layer, such as a surface oxide film, tends to control it. Moreover, it stimulates to high integration of a semiconductor device, such as reducing of channel length.

**[0032]**

The semiconductor device in connection with Claim 8 of this invention used SiC of the cubic structure as SiC of Claim 7. Therefore, since it is a structure more precise than general SiC, even when it forms PZT etc. in a high-temperature process on it, a reduction of substrate functions, such as surface oxidation and a structural change, is not produced. In order to perform an above, it effects so that a function may be maintained much more.

Moreover, since it is chemically stable, it is hard to produce a reduction of functions, such as a spreading of the constituent element in a boundary surface, and a substrate structural change. Moreover, it effects so that a function may be maintained much more.

Furthermore, because a natural-oxidation film is not formed thinly further extremely, surface alteration layer, such as a surface oxide film, tends to control it. Moreover, it stimulates to high integration of a semiconductor device, such as reducing of channel length.

**[0033]**

この発明の請求項 9 に係わる半導体装置は、請求項 1、2、5、6 の半導体装置の半導体部に耐酸化性の良好な半導体材料である BN またはダイヤモンドを用いたので、その上に高温プロセスで P Z T 等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

## 【0034】

この発明の請求項 10 に係わる半導体装置は、請求項 1、2、5、6 の半導体装置の半導体部に耐酸化性の良好な半導体材料である YB<sub>66</sub> を用いたので、その上に高温プロセスで P Z T 等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

The semiconductor device in connection with Claim 9 of this invention used BN or the diamond which is an oxidation-resistant favorable semiconductor material for the semiconductor part of the semiconductor device of Claims 1, 2, 5, and 6. Therefore, even when it forms PZT etc. in a high-temperature process on it, a reduction of substrate functions, such as surface oxidation and a structural change, is not produced. In order to perform an above, it effects so that a function may be maintained.

Moreover, since it is chemically stable, it is hard to produce a reduction of functions, such as a spreading of the constituent element in a boundary surface, and a substrate structural change. Moreover, it effects so that a function may be maintained.

Furthermore, because a natural-oxidation film is not formed thinly extremely, surface alteration layer, such as a surface oxide film, tends to control it. Moreover, it stimulates to high integration of a semiconductor device, such as reducing of channel length.

## [0034]

The semiconductor device in connection with Claim 10 of this invention used YB<sub>66</sub> which is an oxidation-resistant favorable semiconductor material for the semiconductor part of the semiconductor device of Claims 1, 2, 5, and 6. Therefore, even when it forms PZT etc. in a high-temperature process on it, a reduction of substrate functions, such as surface oxidation and a structural change, is not produced. In order to perform an above, it effects so that a function may be maintained.

Moreover, since it is chemically stable, it is hard to produce a reduction of functions, such as a spreading of the constituent element in a boundary surface, and a substrate structural change. Moreover, it effects so that a function may be maintained.

Furthermore, because a natural-oxidation film is not formed thinly extremely, surface alteration layer, such as a surface oxide film, tends to control it. Moreover, it stimulates to high integration of a semiconductor device, such as

YB<sub>66</sub>

reducing of channel length.

【0035】

この発明の請求項11に係わる半導体装置は、請求項1～6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるNbを主原料とする不純物を含有した $\text{SrTiO}_3$ または化学量論比から酸素が一部欠落した $\text{SrTiO}_{3-x}$ を用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないのので、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0036】

この発明の請求項12に係わる半導体装置は、半導体集積回路の能動素子の一部または全部にFRAMを用いたので、SRAMやDRAMで構成される場合より各素子を小さくすることができるため、高集積化を促す。また、請求項1～4、7～11のいずれか1項に記載の半導体装置であるFRAMを用いているので、高出力回路にも対応できるように作用する。

【0037】

[0035]

The semiconductor device in connection with Claim 11 of this invention used  $\text{SrTiO}_3$  which contained the impurity which does Nb which is an oxidation-resistant favorable semiconductor material as the main starting materials, or  $\text{SrTiO}_{3-x}$  which lacked a part of oxygen from the stoichiometry for the semiconductor part of the semiconductor device of Claim 1 - 6. Therefore, even when it forms PZT etc. in a high-temperature process on it, a reduction of substrate functions, such as surface oxidation and a structural change, is not produced. In order to perform an above, it effects so that a function may be maintained.

Moreover, since it is chemically stable, it is hard to produce a reduction of functions, such as a spreading of the constituent element in a boundary surface, and a substrate structural change. Moreover, it effects so that a function may be maintained.

Furthermore, because a natural-oxidation film is not formed thinly extremely, surface alteration layer, such as a surface oxide film, tends to control it. Moreover, it stimulates to high integration of a semiconductor device, such as reducing of channel length.

[0036]

The semiconductor device in connection with Claim 12 of this invention used FRAM for the one part or all of active elements of a semiconductor integrated circuit. Therefore, since each element can be made small from the case where it consists of SRAM and DRAM, it stimulates to high integration.

Moreover, FRAM which is the semiconductor device of mention is used for any 1 item of Claim 1 - 4,7-11. Therefore, it effects so that it can correspond also in a high output circuit.

[0037]

*use same  
type paper  
in Ex 5 for  
JB6*

### 【実施例】

実施例 1. 以下、請求項 1、7 の発明の一実施例を図を用いて説明する。図 1 はこの発明による FRAM からなる半導体装置の製造工程断面図である。本実施例では素子間分離のため、メサ型構造の例について示す。図において、1 は Si 基板、2 は耐酸化性半導体膜で、ここでは SiC 膜である。3 は PZT のような強誘電体膜、4 は Al 合金膜、5 はソース領域、6 はドレイン領域、7 は Al 合金配線である。次に製造工程の順に説明する。(a) のように Si 基板 1 上に SiC 膜 2 とその上に強誘電体膜 3 を成膜する。SiC 膜 2 は例えば、SiH<sub>4</sub> や C<sub>3</sub>H<sub>8</sub> のようなガスを用い、熱 CVD により形成する。強誘電体膜 3 は従来例で示した PZT のように CVD 法で形成する。次に (b) のように、強誘電体膜 3 上に例えば、スパッタ法により Al 合金膜 4 を堆積し、素子分離領域を残すように Al 合金膜 4 をエッチングし、パターニングした後、三フッ化窒素 (NF<sub>3</sub>) ガス等を用いて SiC 2 と強誘電体膜 3 をプラズマエッチングし、素子分離領域をメサ型に形成する。最後に (c) のように、イオン注入により、ソース領域 5 及びドレイン領域 6、Al 合金配線 7 等を形成し、SiC を用いた FRAM セル、すなわちトランジスタ回路を形成する。

### [Example]

Example 1. One example of invention of Claims 1 and 7 is hereafter explained using a diagram.

Fig. 1 is a manufacturing-process sectional view of the semiconductor device comprising FRAM due to this invention.

This example shows the example of the mesa structure for the separation between elements.

In the (figure, 1) is Si substrate. 2 is an oxidation-resistant semiconductor film. Here, it is SiC film.

3 is a ferroelectric film such as PZT. 4 is Al alloy film. 5 is a source area. 6 is a drain area. 7 is Al alloy wiring.

Next it explains in the order of a manufacturing process.

As shown in (a), the ferroelectric film 3 is formed a film the SiC film 2 and on it on the Si substrate 1.

The SiC film 2 is formed by heat CVD, for example, using gas such as SiH<sub>4</sub> or C<sub>3</sub>H<sub>8</sub>.

The ferroelectric film 3 is formed by the CVD method such as PZT shown by the prior art example.

Next, the Al alloy film 4 is deposited on the ferroelectric film 3 such as (b) (for example, sputtering method).

The Al alloy film 4 is etched so that it may leave an element separation area.

After patterning, plasma etching of the ferroelectric film 3 is performed to SiC2 using nitrogen-trifluoride (NF<sub>3</sub>) gas etc.

An element separation area is formed in a mesa.

Finally, as shown in (c), the source area 5 and the drain area 6, Al alloy wiring 7, etc. are formed with an ion implantation.

FRAM cell using SiC, i.e., transistor circuit, is formed.

## 【0038】

なお、上記実施例ではSi基板上にSiC膜を形成する例について示したが、市販のSiC基板、例えば、CREE Research Inc. の6H-SiCを用い、その上にPZTのような強誘電体膜を形成してもよい。また、成膜法は所望のものが得られるならばCVD法に限定されるものではない。

## 【0039】

実施例2. 以下、請求項1、7、8の発明の一実施例を説明する。実施例1のSiC成膜時に、例えば、Appl. Phys. Lett. No. 60 p. 1703 (1992)に記載されているような、モノメチルシラン ( $\text{SiCH}_3\text{H}_3$ ) ガスを用い、Si基板上に750℃の温度で熱CVDを用いる。これにより、SiCのなかでも緻密な構造である立方晶SiC膜を形成することができる。それ以降の製造工程は、実施例1と同様である。

## 【0040】

実施例3. 以下、請求項1、9の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にKrFレーザ(波長248nm)を用いたレーザアブレーション法によりBNをエピタキシャル成長させる。それ以降の製造工程は、実施例1と同様で、エッチング時にBNエッチング用のガスを用いればよい。

## [0038]

In addition, the above example showed the example which forms SiC film on Si substrate.

However, commercially available SiC substrate (for example, 6H-SiC of CREE Research Inc.) is used. And, the ferroelectric film such as PZT may be formed on it.

Moreover, a film-forming method will not be limited to a CVD method, if a desired thing is obtained.

## [0039]

Example (2) One example of invention of Claims 1, 7, and 8 is explained hereafter.

At the time of SiC film forming of an example 1, monomethyl silane ( $\text{SiCH}_3\text{H}_3$ ) gas (for example, described by Appl. Phys. Lett. No. 60 p. 1703 (1992)) is used. And, heat CVD is used at the temperature of 750 degree C on Si substrate.

Thereby, the cubic SiC film which is the among them precise structure of SiC can be formed.

The manufacturing process after that is the same as that of an example 1.

## [0040]

Example (3) One example of invention of Claims 1 and 9 is explained hereafter.

Instead of SiC film forming of an example 1, the epitaxial growth of the BN is performed by the laser ablation method which used KrF laser (wavelength of 248 nm) on Si substrate.

The manufacturing process after that is the same as that of an example 1, and should just use gas for BN etching at the time of an etching.



## 【0041】

実施例4. 以下、請求項1、9の発明の別の実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にCH<sub>4</sub>ガスやC<sub>2</sub>H<sub>2</sub>等の炭素を含んだガスを用いたマイクロ波CVD法または熱フィラメント法等によりダイヤモンド膜を形成する。それ以降の製造工程は、実施例1と同様で、エッチング時にダイヤモンド用のエッチングガスを用いればよい。

## [0041]

Example 4. Another example of invention of Claims 1 and 9 is explained hereafter.

Instead of SiC film forming of an example 1, a diamond film is formed by the microwave CVD method or the heat filament method using gas which included carbons, such as CH<sub>4</sub> gas and C<sub>2</sub>H<sub>2</sub>, on Si substrate etc.

The manufacturing process after that is the same as that of an example 1, and should just use etching gas for diamonds at the time of an etching.

## 【0042】

## 実施例5

以下、請求項1、10の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にY-Bターゲットを用いた、スパッタ法によりYB<sub>66</sub>を成膜する。それ以降の製造工程は、実施例1と同様で、エッチング時にYB<sub>66</sub>用のエッチング用のガスを用いればよい。

## [0042]

Example 5. One example of invention of Claim 1,10 is explained hereafter.

Instead of SiC film forming of an example 1, YB66 is formed a film by the sputtering method which used the Y-B target on Si substrate.

The manufacturing process after that is the same as that of an example 1, and should just use gas for the etching for YB66 at the time of an etching.

## 【0043】

実施例6. 以下、請求項1、11の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にSr-Ti(-O)またはSr-Ti-Nb(-O)をターゲットに用い、酸素雰囲気中で反応性スパッタを行い、チタン酸ストロンチウム系の膜を形成する。それ以降の製造工程は、実施例1と同様で、エッチング時にチタン酸ストロンチウム系用のガスを用いればよい。

## [0043]

Example 6. One example of invention of Claim 1,11 is explained hereafter.

Instead of SiC film forming of an example 1, Sr-Ti (-O) or Sr-Ti-Nb (-O) is used for a target on Si substrate. And, a reactant sputter is performed in oxygen atmosphere.

The film of strontium-titanate type is formed.

The manufacturing process after that is the same as that of an example 1, and should just use gas for strontium-titanate type at the time of an etching.

*Rx Sputter*

## 【0044】

## [0044]

実施例 7. 以下、請求項 1、2、7～11 の発明の一実施例を図を用いて説明する。図 2 は、この発明による FRAM からなる半導体装置の断面図である。図において、11 は Si 基板、12 は埋め込み SiO<sub>2</sub>、13 は耐酸化性半導体で、13a はソース領域、13b はドレイン領域である。14 は例えば PZT のような強誘電体、15 は多結晶 Si、16 は SiO<sub>2</sub>、17 は低抵抗の Cu または Ag 配線、18 は下地配線である。次に製造方法の例について簡単に説明する。Si 基板 11 上に熱酸化、スパッタ等で埋め込み SiO<sub>2</sub> 12 を形成する。そのうえに、実施例 1～6 に記載した方法で SiC、BN、ダイヤモンド等の耐酸化性半導体 13 を形成する。その後、メサ型にパターンニングし、実施例 1 と同様の方法で強誘電体 14 の形成、耐酸化性半導体 13 へのイオン注入を行い、さらに、下地配線 18、多結晶 Si 15、SiO<sub>2</sub> 16、低抵抗配線 17 をそれぞれスパッタや CVD 法により積層して FRAM を形成する。低抵抗配線 17 は Cu または Ag のターゲットを用いたスパッタ法を始めとする PVD 法やビスジピバロイルメタナト銅 (Cu (C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>2</sub>)、ビスヘキサフルオロアセチルアセトナト銅 (Cu (C<sub>5</sub>HF<sub>6</sub>O<sub>2</sub>)<sub>2</sub>) ガスを用いた Cu 配線用 CVD 法 AgF ガスを用いた Ag 配線用 CVD 法により形成する。本実施例ではソース領域 13a やドレイン領域 13b に直接 Cu ま

Example 7. One example of invention of Claims 1, 2, 7, -11 is hereafter explained using a diagram.

Fig. 2 is a sectional view of the semiconductor device comprising FRAM due to this invention.

In the figure, 11 is Si substrate. 12 is embedding SiO<sub>2</sub>. 13 is an oxidation-resistant semiconductor. 13a is source areas. 13b is a drain area.

14 is a ferroelectric substance such as PZT, for example. 15 is polycrystalline Si. 16 is SiO<sub>2</sub>. 17 is Cu of a low resistance, or Ag wiring. 18 is foundation wiring.

Next the example of a manufacturing method is explained simply.

An embedding and SiO<sub>2</sub> 12 are formed by thermal-oxidation-isation, the sputter, etc. on the Si substrate 11.

Furthermore, the oxidation-resistant semiconductors 13, such as SiC, BN, and a diamond, are formed by the method described to example 1-6.

After that, it patterns to a mesa. Ferroelectric 14 is formed by the similar method as an example 1. And, the ion implantation to the oxidation-resistant semiconductor 13 is performed.

Furthermore, the foundation wiring 18, polycrystalline Si 15, SiO<sub>2</sub> 16, and low resistance wiring 17 are respectively laminated by the sputter or the CVD method, and FRAM is formed.

Low resistance wiring 17 is formed by PVD methods including the sputtering method using the target of Cu or Ag, or the CVD method for Ag wiring using CVD-method AgF gas for Cu wiring using bis-di pivaloyl methanate copper (Cu<sub>2</sub> (C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>2</sub>) and bis-hexafluoro acetyl acetonato copper (Cu<sub>2</sub> (C<sub>5</sub>HF<sub>6</sub>O<sub>2</sub>)<sub>2</sub>) gas.

This example showed the example which forms in source area 13a or drain area 13b directly low resistance wiring 17 of Cu or Ag.

However, for example, it may wire via the electroconductive film of the low resistance such as ruthenium oxide (RuO<sub>2</sub>).

たはAgの低抵抗配線17を形成する例について示したが、例えば、酸化ルテニウム ( $RuO_2$ ) のような低抵抗の導電性膜を介して配線してもよい。

**【0045】**

実施例8. 以下、請求項1、3、4、7、8の発明の一実施例について説明する。図2中の例えばA部において耐酸化性半導体13と強誘電体14、配線17は接続している。この接合部の品質確保のために、耐酸化性半導体13と強誘電体14、配線17に用いられる材料の格子定数を概ね一致させる。すなわち、実施例2において、 $0.43596\text{ nm}$ の格子定数を有する立方晶SiCを形成する。その上に、SiCと格子定数の近い強誘電体として、例えば、格子定数が $0.4036\text{ nm}$  (a軸、c軸は $0.4146\text{ nm}$ )であるPZTを成膜する。さらに、配線17としてAgを形成する場合、Ag本来の格子定数 $0.4086\text{ nm}$ にできるだけ近くなるように成膜時の不純物の混入を抑制する等組成、構造制御を行う。また、配線17としてAlを形成する場合も、Al本来の格子定数 $0.4050\text{ nm}$ にできるだけ近くなるように制御する。

**【0046】**

実施例9. 以下、請求項1、3、4、11の発明の一実施例について説明する。実施例8において、耐酸化性半導体13として、 $SrTiO_3$ を用いる。S

**[0045]**

Example 8. One example of invention of Claims 1, 3, 4, 7, and 8 is explained hereafter.

For example, in A part in Fig. 2, the oxidation-resistant semiconductor 13, ferroelectric 14, and wiring 17 are connected.

The lattice constant of the material used for the oxidation-resistant semiconductor 13, and ferroelectric 14 and the wiring 17 for quality ensuring of this junction part is made to correspond in general.

That is, in an example 2, the cubic SiC which has the lattice constant of  $0.43596\text{ nm}$  is formed.

On it, a lattice constant forms a film. PZT which is  $0.4036\text{ nm}$  (a shaft and c shaft are  $0.4146\text{ nm}$ ), as a ferroelectric substance with near SiC and a lattice constant.

Furthermore, when forming Ag as wiring 17, the composition and a structure control of suppressing mixing of the impurity at the time of a film forming so that it may become near in Ag inherent lattice constant of  $0.4086\text{ nm}$  as much as possible are performed.

Moreover, when forming Al as wiring 17, it controls to become near in Al inherent lattice constant of  $0.4050\text{ nm}$  as much as possible.

**[0046]**

Example 9. One example of invention of Claims 1, 3, 4, and 11 is explained hereafter.

In an example 8,  $SrTiO_3$  is used as an oxidation-resistant semiconductor 13.

In the case performing the sputter film forming of  $SrTiO_3$ , it controls the rate of a deficit

$rTiO_3$  はスパッタ成膜する際にNbを主原料とする不純物や酸素Oの欠損率を制御して半導体の特性を制御しつつ、本来の格子定数0.39nm以上でかつできるだけ近くなるように制御する。以上の実施例8、9のように格子定数は、PZT強誘電体を用いる場合、強誘電体、耐酸化性半導体、配線材が概ね0.39~0.44nmで一致すればよい。

**【0047】**

上記実施例8、9においては、耐酸化性半導体、配線材料、強誘電体の格子定数のマッチングがとれ、互いに反応して拡散層や合金層を形成しにくい材料であれば、上記材料に限定するものではない。

**【0048】**

実施例10. 以下、請求項5、7~11の発明の一実施例について図を用いて説明する。図3は、この発明によるSOI基板の構造を示したものである。図において、13は耐酸化性半導体、19は絶縁基板でここでは石英基板を用いている。石英基板19上に実施例1~6に示された手法で、SiC、BN、ダイヤモンド等の耐酸化性半導体13を形成する。

**【0049】**

実施例11. 以下、請求項5、7~11の発明の別の実施例について図を用いて説明する。図4は、実施例10で形成したSOI基板を図2で示されるFR

of an impurity or oxygen O which does Nb as the main starting materials, and controls the property of a semiconductor. It is inherent lattice-constant 0.39 nm or more, and it controls by one side to become near as much as possible.

Such as the above examples 8 and 9, when using PZT ferroelectric substance, a ferroelectric oxidation-resistant semiconductor and a wiring material should just correspond a lattice constant by 0.39-0.44 nm in general.

**[0047]**

In the above examples 8 and 9, the matching of an oxidation-resistant semiconductor, wiring material, and the number of the shape of a grating of a ferroelectric substance can be taken. If it is the material which reacts mutually and forms a diffused layer and an alloy layer difficult, it will not limit to above material.

**[0048]**

Example 10. One example of invention of Claims 5, 7,-11 is hereafter explained using a diagram.

Fig. 3 shows the structure of SOI substrate due to this invention.

In the figure, 13 is an oxidation-resistant semiconductor. 19 is an insulation substrate and uses the quartz substrate here.

By the technique shown in example 1-6, the oxidation-resistant semiconductors 13, such as SiC, BN, and a diamond, are formed on the quartz substrate 19.

**[0049]**

Example 11. Another example of invention of Claims 5, 7,-11 is hereafter explained using a diagram.

Figure 4 is the example which applied SOI substrate formed in the example 10 to FRAM shown in Fig. 2.

AMに適用した例である。図において、20は図2中の埋め込み $\text{SiO}_2$ の一部に相当する層間絶縁膜で、ここでは $\text{SiO}_2$ である。このように、耐酸化性半導体を用いてSOI基板を構成すると、多くの種類への半導体装置への適用できる。

**【0050】**

実施例12. 以下、請求項6～11の発明の一実施例について説明する。例えば、能動素子として実施例1～6で形成されるようなFRAMを用いる。実施例1～6において、耐酸化性半導体膜の形成時またはその後のプロセスにおいて耐酸化性半導体膜の表面酸化膜の厚さまた、その上に形成される強誘電体膜との接合層（極薄い拡散層、合金層等を示す）のような耐酸化性半導体膜からみた表面変質層の厚さを3nm以下に制御する。制御の方法としては、例えば耐酸化性半導体膜と強誘電体膜の成膜装置の到達真空度を向上させたり、両者を連続プロセスで形成する方法による。これにより、従来形成することのできなかったチャンネル長が0.1 $\mu\text{m}$ 以下の短いチャンネル長の高性能の能動素子が形成できる。

**【0051】**

実施例13. 以下、請求項1～4、7～12の発明の一実施例について図を用いて説明する。図5は、本発明による半導体基板上にFRAMを能動素子の一部として搭載した半導体集積回

In the figure, 20 is a layer-insulation film equivalent to a part of embedding  $\text{SiO}_2$  in Fig. 2, and is  $\text{SiO}_2$  here.

Thus, SOI substrate is comprised using an oxidation-resistant semiconductor. Then, application to a multiple semiconductor device can be performed.

**[0050]**

Example 12. One example of invention of Claims 6-11 is explained hereafter.

For example, FRAM which is formed by example 1-6 is used as an active element.

In example 1-6, In the process of the time of formation of an oxidation-resistant semiconductor film, or after that, thickness of the surface oxide film of an oxidation-resistant semiconductor film is controlled to 3 nm or less. Moreover, thickness of surface alteration layer seen from the oxidation-resistant semiconductor film such as a joining layer (a very thin diffused layer, an alloy layer, etc. are shown) with the ferroelectric film formed on it is controlled to 3 nm or less.

It considers as the method of a control, for example, the attainment degree of vacuum of the film-forming device of an oxidation-resistant semiconductor film and a ferroelectric film is improved.

Moreover, both are based on the method formed by the continual process.

Thereby, the channel length which was not able to form conventionally can form the highly efficient active element of short channel length 0.1 micrometers or less.

**[0051]**

Example 13. One example of invention of Claim 1 - 4, 7,-12 is hereafter explained using a diagram.

Fig. 5 shows the semiconductor integrated circuit which mounted FRAM as a part of active element on the semiconductor substrate due to this invention.

路を示したものである。図において、21はDRAM、22はFRAMで、実施例1～6、10～11に従って形成する。23はコラムデコーダ、24はロウデコーダである。半導体集積回路は、例えばSi半導体基板の上に成膜やエッチング等のプロセスを用いて、連続プロセスで形成してもよいし、DRAM、FRAMをそれぞれチップとして形成した後、半導体基板上にモノリシック性を失わないような層を介する等してボンディング等で配列して接続してもよい。

**【0052】**

なお、上記実施例では図5のような、分散型キャッシュDRAMについて、示したが、図6のような分散型であっても、図7のような集中型であってもよい。なお、図6、7において25はDRAMサブアレイとFRAM、26はバスラインである。

**【0053】****【発明の効果】**

以上のように、請求項1の発明によれば、MISFETを用いて構成されるFRAMにおいて、半導体部を耐酸化性の良好な半導体材料により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているので、半導体の高信頼化を図るこ

In the figure, 21 is DRAM. 22 is FRAM and is formed according to example 1-6,10-11.

23 is a column decoder. 24 is a row decoder.

The semiconductor integrated circuit uses processes, such as a film forming and an etching, for example, on Si semiconductor substrate.

It may form by the continual process.

After forming it, respectively doing DRAM and FRAM as a tip, it performs via the layer which does not lose monolithic property on a semiconductor substrate etc. And, it may arrange and connect with a bonding etc.

**[0052]**

In addition, the above example showed distributed cache DRAM as shown in Fig. 5.

However, it may be dispersed type as shown in Fig. 6. Moreover, it may be the concentration type such as Figure 7.

In addition, in Figs. 6 and 7, 25 is DRAM subarray and FRAM. 26 is a bus line.

**[0053]****[EFFECT OF THE INVENTION]**

As mentioned above, according to invention of Claim 1, in FRAM comprised using MISFET, the oxidation-resistant favorable semiconductor material comprised the semiconductor part. Therefore, the outstanding insulating film of a property such as PZT etc. is applicable to a semiconductor device.

Furthermore, because those boundary-surface properties are outstanding, the reliability increase of a semiconductor can be attained.

とが可能となる。

**【0054】**

以上のように、請求項2の発明によれば、請求項1の半導体装置において、半導体材料により形成されたドレインまたはソース部分に接続する配線材料として銀または銅からなる低抵抗材料を用いたので、高周波、高電力化に対応した半導体装置の実現が可能となる。

**【0055】**

以上のように、請求項3、4の発明によれば、請求項1の半導体装置において、半導体材料上に形成された強誘電性絶縁層の格子定数と配線部材を構成する配線材料の格子定数をほぼ等しくし、さらに配線材料とし銀またはアルミニウムを用いたので、格子不整合によるストレスマイグレーションを抑制することができ、半導体装置の高信頼化を図ることが可能となる。

**【0056】**

以上のように、請求項5の発明によれば、SOI構造を用いた半導体集積回路において、半導体部を耐酸化性の良好な半導体材料により構成したので、絶縁体-半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。

**【0057】**

以上のように、請求項6の発明によれば、半導体基板上に配置された能動素子から構成される

**[0054]**

If according to invention of Claim 2, in the semiconductor device of Claim 1, as wiring material linked to the drain or the source part formed of the semiconductor material, the low resistance material comprising silver or copper was used. Therefore, realization of the semiconductor device corresponded in high-frequency high-powerisation can be performed.

**[0055]**

If according to invention of Claims 3 and 4, in the semiconductor device of Claim 1, the lattice constant of the ferroelectric insulating layer formed on the semiconductor material and the lattice constant of the wiring material which comprises a wiring member are made almost equal.

Furthermore, it considered as wiring material and silver or aluminium was used. Therefore, the stress migration due to a grating mismatching can be suppressed.

The reliability increase of a semiconductor device can be attained.

**[0056]**

If according to invention of Claim 5, in the semiconductor integrated circuit using SOI structure, the oxidation-resistant favorable semiconductor material comprised the semiconductor part. Therefore, SOI substrate which was outstanding in the boundary-surface structure of an insulator-semiconductor can be comprised.

The reliability increase of a semiconductor device can be attained.

**[0057]**

If according to invention of Claim 6, in the semiconductor integrated circuit which consists of the active element arranged on a semiconductor substrate, the oxidation-

半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部を、表面変質層の制御された耐酸化性の良好な半導体材料、により構成したので、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

**【0058】**

以上のように、請求項7、8、11の発明によれば、請求項1～6の半導体装置の半導体材料として、SiCまたは立方晶構造のSiC、Nbを主原料とする不純物を含有したSrTiO<sub>3</sub>、または化学量論比から酸素が一部欠落したSrTiO<sub>3-x</sub>により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているので、半導体の高信頼化を図ることが可能となる。また、絶縁体-半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。さらに、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

**【0059】**

以上のように、請求項9、10の発明によれば、請求項1、2、5、6の半導体装置の半導体材料として、BN、ダイヤモンドまたはYB<sub>66</sub>により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているの

resistant favorable semiconductor material by which surface alteration layer was controlled comprised the semiconductor part of the element of the one part or all of active elements. Therefore, the process of a surface alteration layer removal is simplified.

Moreover formation of a reliable element can be performed.

**[0058]**

If according to invention of Claims 7, 8, and 11, as a semiconductor material of the semiconductor device of Claim 1 - 6, SrTiO<sub>3</sub> which contained the impurity which does SiC and Nb as the main starting materials or SrTiO<sub>3-x</sub> which lacked a part of oxygen from the stoichiometry of SiC or the cubic structure comprised. Therefore, the outstanding insulating film of a property such as PZT etc. is applicable to a semiconductor device.

Furthermore, because those boundary-surface properties are outstanding, the reliability increase of a semiconductor can be attained.

Moreover, SOI substrate which was outstanding in the boundary-surface structure of an insulator-semiconductor can be comprised.

The reliability increase of a semiconductor device can be attained.

Furthermore, the process of a surface alteration layer removal is simplified.

Moreover formation of a reliable element can be performed.

**[0059]**

If according to invention of Claims 9 and 10, BN, a diamond, or YB<sub>66</sub> comprised as a semiconductor material of the semiconductor device of Claims 1, 2, 5, and 6. Therefore, the outstanding insulating film of a property such as PZT etc. is applicable to a semiconductor device.

Furthermore, because those boundary-surface properties are outstanding, the reliability increase of a semiconductor can be



で、半導体の高信頼化を図ることが可能となる。また、絶縁体一半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。さらに、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

**【0060】**

以上のように、請求項7～9の発明によれば、請求項1の半導体装置の半導体材料としてそれぞれ、SiCまたは立方晶構造のSiC、BN、ダイヤモンドを用いたので、従来のSiよりも化学的、熱的に安定で500℃以上の高温で動作する耐環境素子への適用が可能となる。

**【0061】**

以上のように、請求項7～9の発明によれば、請求項1、5、6の半導体装置の半導体材料としてそれぞれ、SiCまたは立方晶構造のSiC、BN、ダイヤモンドを用いたので、従来のSiに比べて熱伝導率が高いので、大電力半導体装置への適用が可能となる。

**【0062】**

以上のように、請求項12の発明によれば、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子を請求項1～4、7～11項のいずれか1項に記載の半導体装置により構成したので、素子サイズの縮小化または集積回路

attained.

Moreover, SOI substrate which was outstanding in the boundary-surface structure of an insulator-semiconductor can be comprised.

The reliability increase of a semiconductor device can be attained.

Furthermore, the process of a surface alteration layer removal is simplified.

Moreover formation of a reliable element can be performed.

**[0060]**

If according to invention of Claims 7-9, as a semiconductor material of the semiconductor device of Claim 1, SiC, BN and the diamond of SiC or the cubic structure were used. Therefore, also more chemically than the conventional Si, it is thermally stable. Application for the environment-resistance element which operates at 500 degree C or more high temperature can be performed.

**[0061]**

If according to invention of Claims 7-9, as a semiconductor material of the semiconductor device of Claims 1, 5, and 6, SiC, BN and the diamond of SiC or the cubic structure were used. Therefore, compared with the conventional Si, because heat conductivity is high, application to a large electric-power semiconductor device can be performed.

**[0062]**

If according to invention of Claim 12, in the semiconductor integrated circuit which consists of the active element arranged on a semiconductor substrate, the semiconductor device of mention comprised the element of the one part or all of active elements in any 1 item of Claim 1 - 4, 7,-11. Therefore, reducing of element size or high-densification of an integrated circuit is made.

の高密度化が可能となる。

**【図面の簡単な説明】**

**[BRIEF EXPLANATION OF DRAWINGS]**

**【図 1】**

この発明の実施例 1～6 による半導体装置の製造工程を示す断面図である。

**[FIGURE 1]**

It is the sectional view showing the manufacturing process of the semiconductor device due to example 1-6 of this invention.

**【図 2】**

この発明の実施例 7～9 による半導体装置の断面図である。

**[FIGURE 2]**

It is the sectional view of the semiconductor device due to the examples 7-9 of this invention.

**【図 3】**

この発明の実施例 10 による半導体装置の断面図である。

**[FIGURE 3]**

It is the sectional view of the semiconductor device due to the example 10 of this invention.

**【図 4】**

この発明の実施例 11 による半導体装置の断面図である。

**[FIGURE 4]**

It is the sectional view of the semiconductor device due to the example 11 of this invention.

**【図 5】**

この発明の実施例 13 による半導体装置集積回路の構成図である。

**[FIGURE 5]**

It is the block diagram of the semiconductor-device integrated circuit due to the example 13 of this invention.

**【図 6】**

この発明の実施例 13 による別の半導体装置集積回路の構成図である。

**[FIGURE 6]**

It is the block diagram of another semiconductor-device integrated circuit due to the example 13 of this invention.

**【図 7】**

この発明の実施例 13 による別の半導体装置集積回路の構成図である。

**[FIGURE 7]**

It is the block diagram of another semiconductor-device integrated circuit due to the example 13 of this invention.

**【図 8】**

従来の強誘電体トランジスタの断面構成図である。

**[FIGURE 8]**

It is the cross-sectional block diagram of the conventional ferroelectric transistor.

**【図 9】**

**[FIGURE 9]**

It is the cross-sectional block diagram of

従来の別の強誘電体トランジスタの断面構成図である。 another conventional ferroelectric transistor.

**【図 10】**

従来の半導体集積回路の構成図である。

**[FIGURE 10]**

It is the block diagram of the conventional semiconductor integrated circuit.

**【図 11】**

従来の表面酸化膜の厚さが一定の値以下の半導体基板の断面模式図である。

**[FIGURE 11]**

The thickness of the conventional surface oxide film is the cross-sectional model of the semiconductor substrate below fixed value.

**【符号の説明】**

- 1 Si 基板
- 2 耐酸化性半導体膜
- 3 強誘電体膜
- 4 Al 合金膜
- 5 ソース領域
- 6 ドレイン領域
- 7 Al 合金配線
- 11 Si 基板
- 12 埋め込み SiO<sub>2</sub>
- 13 耐酸化性半導体膜
- 14 強誘電体
- 15 多結晶 Si
- 16 SiO<sub>2</sub>
- 17 低抵抗配線 (Cu または Ag)
- 18 下地配線
- 19 絶縁基板 (石英基板)
- 20 層間絶縁膜
- 21 DRAM
- 22 FRAM
- 23 コラムデコーダ
- 24 ロウデコーダ
- 25 DRAMサブアレイと FRAM
- 26 バスライン
- 81 p型 Si 半導体基板
- 82 金属電極
- 83 強誘電体 BiTiO<sub>2</sub> 膜

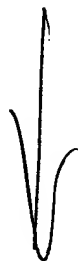
**[EXPLANATION OF DRAWING]**

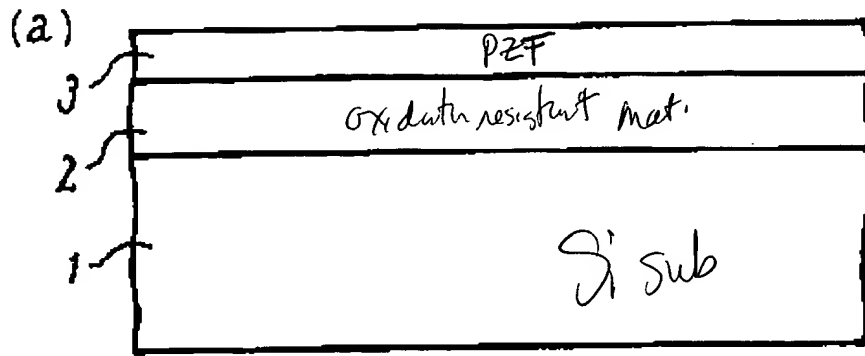
- 1 Si substrate
- 2 Oxidation-resistant semiconductor film
- 3 Ferroelectric film
- 4 Al alloy film
- 5 Source area
- 6 Drain area
- 7 Al alloy wiring
- 11 Si substrate
- 12 Embedding SiO<sub>2</sub>
- 13 Oxidation-resistant semiconductor film
- 14 Ferroelectric substance
- 15 Polycrystalline Si
- 16 SiO<sub>2</sub>
- 17 Low resistance wiring (Cu or Ag)
- 18 Foundation wiring
- 19 Insulation substrate (quartz substrate)
- 20 Layer-insulation film
- 21 DRAM
- 22 FRAM
- 23 Column decoder
- 24 Row decoder
- 25 DRAM subarray and FRAM
- 26 Bus line
- 81 P-type Si semiconductor substrate
- 82 Metal electrode
- 83 Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric film
- 84 N channels
- 85 Source
- 86 Gate
- 87 Drain
- 91 Lower-part gate electrode
- 92 Ferroelectric single-crystal substrate
- 93 Source electrode

84	Nチャンネル	94	Drain electrode
85	ソース	95	Semiconductor film
86	ゲート	96	Gate insulating film
87	ドレイン	97	Upper-part gate electrode
91	下部ゲート電極	101	DRAM subarray
92	強誘電体単結晶基板	102	DRAM cell
93	ソース電極	103	Column decoder
94	ドレイン電極	104	Row decoder
95	半導体膜	111	Si semiconductor substrate
96	ゲート絶縁膜	112	Si surface oxide film
97	上部ゲート電極	113	SiC
101	DRAMサブアレイ	114	SiC surface oxide film
102	DRAMセル		
103	コラムデコーダ		
104	ロウデコーダ		
111	Si半導体基板		
112	Si表面酸化膜		
113	SiC		
114	SiC表面酸化膜		

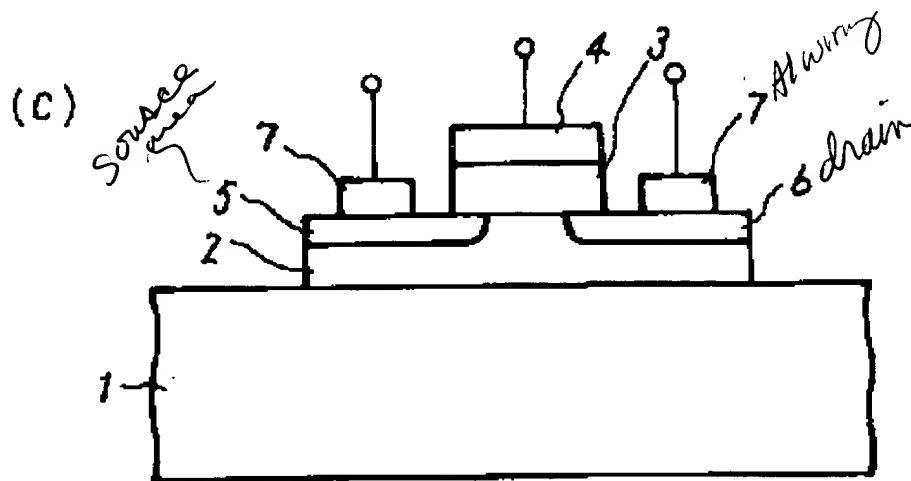
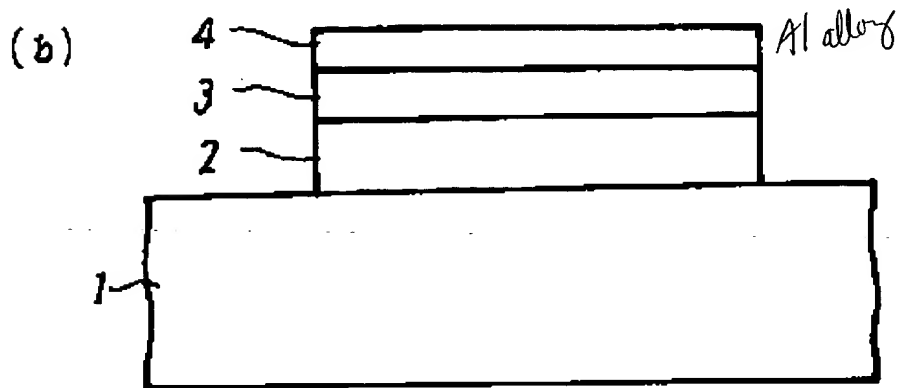
【図1】

[FIGURE 1]





Ex. 1 SiC, Ex. 5  $\text{V/B}_{60}$



【図 2】

[FIGURE 2]

02/01/08

35/43

(C) DERWENT





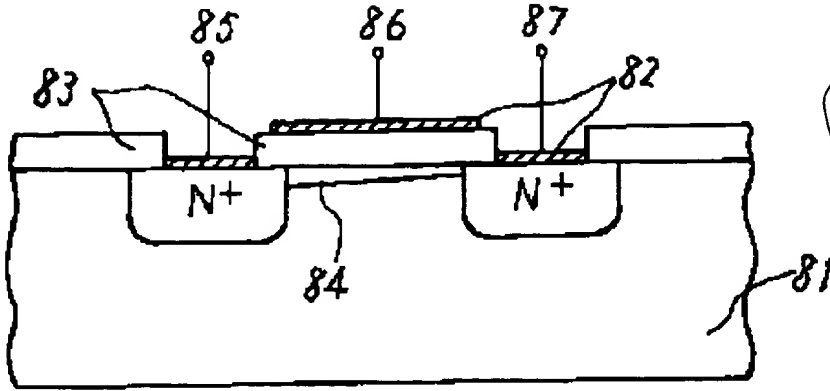
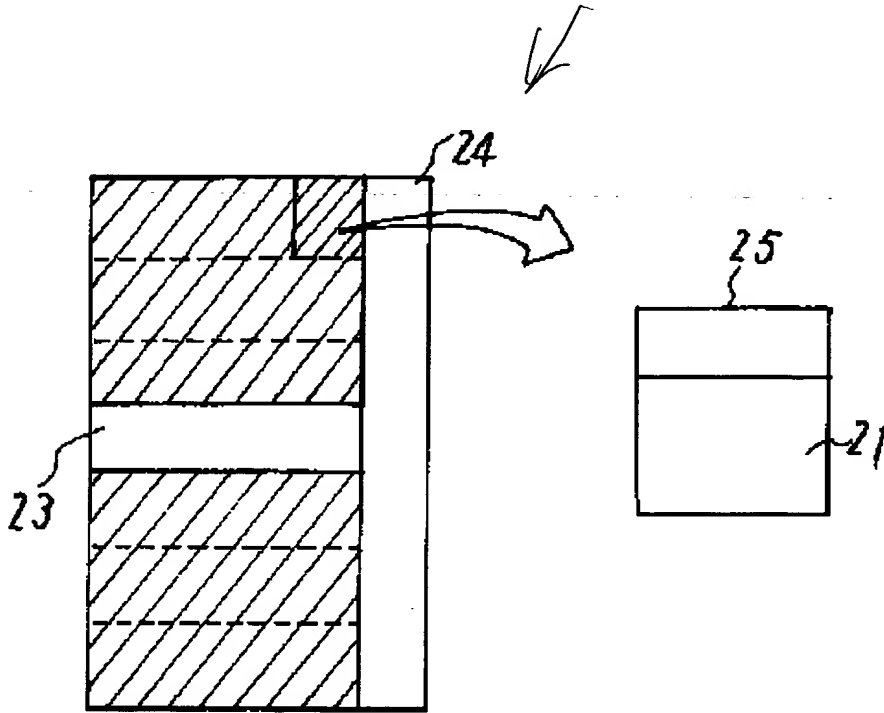


Fig. 8

【図 6】

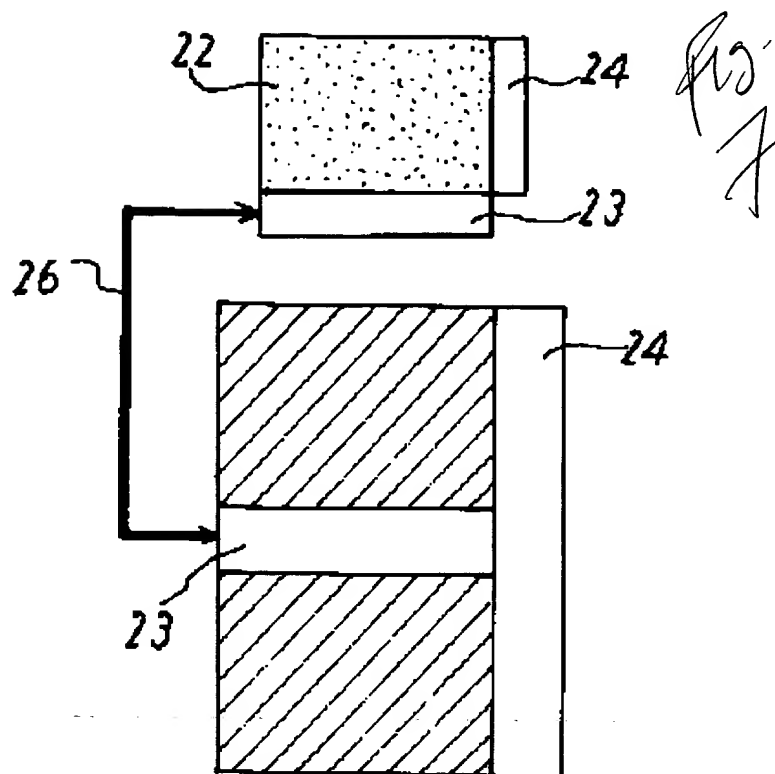
[FIGURE 6]



【図 7】

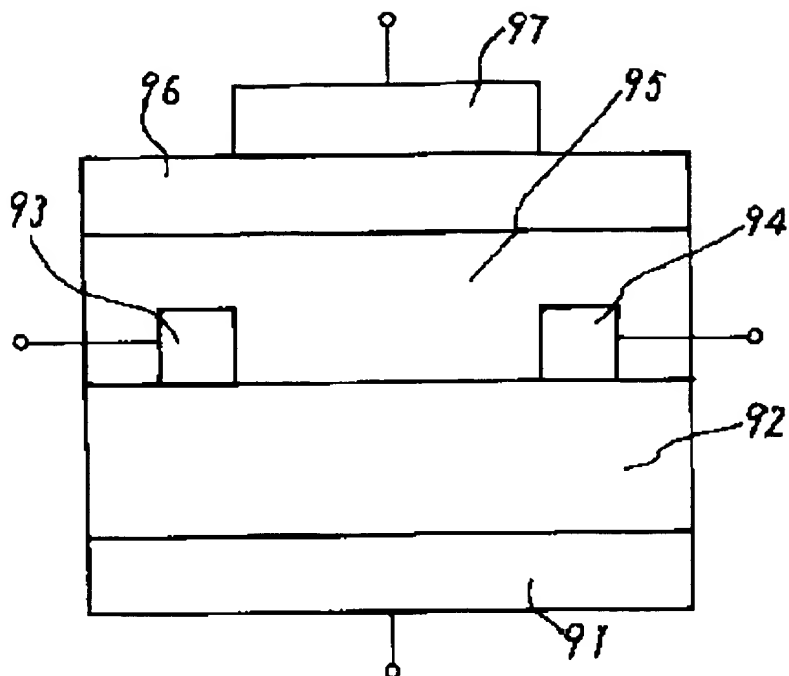
[FIGURE 7]





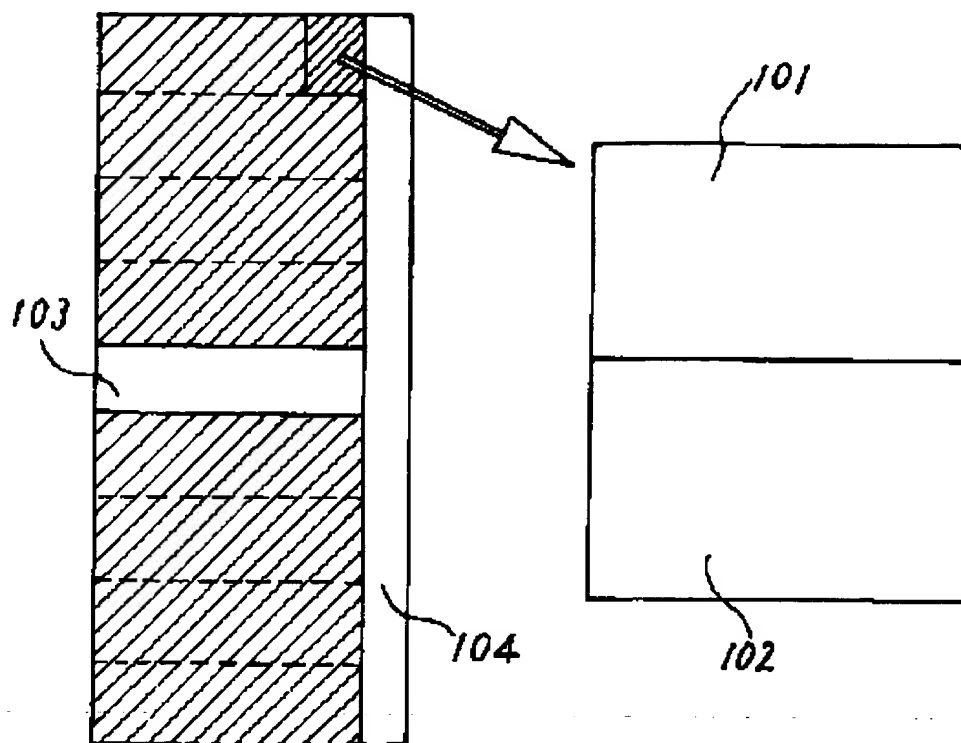
【図 9】

[FIGURE 9]



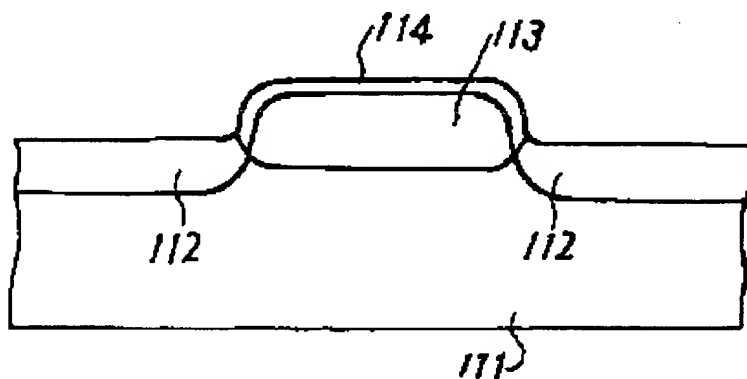
【図 10】

[FIGURE 10]



【図 11】

[FIGURE 11]



- Continuation of -----  
-----front page  
(51) Int.Cl.6 Identification  
symbol Internal reference number

FI

Technology-presentation location

H01L 29/78

21/8247

29/788

29/792

H01L 29/78 371

(72) Inventor Toshiyuki Oishi

(72) Inventor Yukihiro Wada

(72) Inventor Kenichi Kuroda

(72) Inventor Kazuyoshi Kojima

Sept 19, 1995

**DERWENT TERMS AND CONDITIONS**

*Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.*

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

"WWW.DERWENT.CO.UK" (English)  
"WWW.DERWENT.CO.JP" (Japanese)

Kataoka  
etalYB66 [Summary  
claims 1-10  
paragraphs of YB66

[0022]

[0034]

[0042] Ex 5

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245409

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/20		8418-4M		
27/10	4 5 1	7210-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 B
		7514-4M		3 0 1 B
審査請求 未請求 請求項の数12 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平6-35794

(22) 出願日 平成6年(1994)3月7日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 片岡 正行

尼崎市塚口本町8丁目1番1号 三菱電機株式会社半導体基礎研究所内

(72) 発明者 古川 彰彦

尼崎市塚口本町8丁目1番1号 三菱電機株式会社半導体基礎研究所内

(72) 発明者 高見 哲也

尼崎市塚口本町8丁目1番1号 三菱電機株式会社半導体基礎研究所内

(74) 代理人 弁理士 高田 守

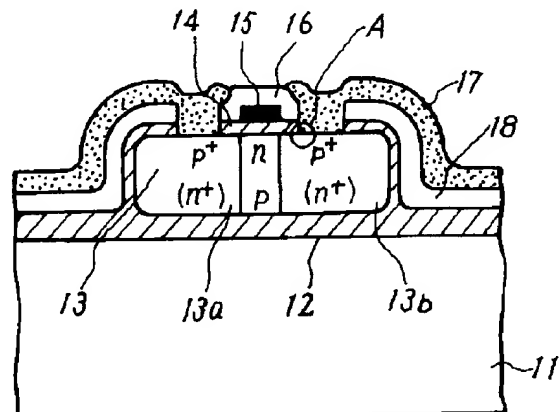
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 P Z T等の優れた特性を有する強誘電体絶縁膜を用いることのできる、また高周波、高電力化に対応できる耐酸化性の高い半導体材料を用いた半導体装置を提供することを目的とする。さらに、界面構造の乱れないSOI基板や、FRAMが部分配置された半導体集積回路等を実現する。

【構成】 耐酸化性半導体材料として、SiCまたは立方晶SiC、BN、YB<sub>66</sub>、チタン酸ストロンチウム、ダイヤモンドを用いた。さらに、配線材料として、低抵抗の銀や銅を用いるほか、強誘電体、配線材料半導体材料の格子定数を一致させた。また、耐酸化性半導体材料により構成されたFRAMを半導体集積回路に搭載し、高集積化を図った。



## 【特許請求の範囲】

【請求項1】絶縁ゲート型電界効果トランジスタ(MISFET)を用いて構成される強誘電体記憶素子(FRAM)において、半導体部が耐酸化性の良好な半導体材料からなることを特徴とする半導体装置。

【請求項2】半導体材料により形成したドレインまたはソース部分に、直接または導電性膜を介して銀または銅からなる配線材料により接続することを特徴とする特許請求の範囲第1項記載の半導体装置。

【請求項3】半導体材料上に形成された強誘電性絶縁層の格子定数が配線材料の格子定数と概ね一致することを特徴とする特許請求の範囲第1項記載の半導体装置。

【請求項4】配線材料が銀またはアルミニウムであることを特徴とする特許請求の範囲第3項記載の半導体装置。

【請求項5】絶縁体上半導体(SOI)基板を用いた半導体集積回路において、SOI基板の半導体部が耐酸化性の良好な半導体材料からなることを特徴とする半導体装置。

【請求項6】半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部が、表面変質層の厚さが一定値以下の耐酸化性の良好な半導体材料で構成されることを特徴とする半導体装置。

【請求項7】半導体材料が炭化ケイ素(SiC)であることを特徴とする特許請求の範囲第1～6項のいずれか1項に記載の半導体装置。

【請求項8】炭化ケイ素(SiC)の構造が立方晶であることを特徴とする特許請求の範囲第7項記載の半導体装置。

【請求項9】半導体材料が窒化ホウ素(BN)またはダイヤモンドであることを特徴とする特許請求の範囲第1、2、5、6項のいずれか1項に記載の半導体装置。

【請求項10】半導体材料がYB<sub>6</sub>であることを特徴とする特許請求の範囲第1、2、5、6項のいずれか1項に記載の半導体装置。

【請求項11】半導体材料がニオブ(Nb)を主原料とする不純物を含有したチタン酸ストロンチウム(SrTiO<sub>3</sub>)または化学量論比から酸素が一部欠落したチタン酸ストロンチウム(SrTiO<sub>3-x</sub>)であることを特徴とする特許請求の範囲第1～6項のいずれか1項に記載の半導体装置。

【請求項12】半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部が特許請求の範囲第1～4項または7～11項のいずれか1項に記載の半導体装置からなることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電子デバイス用材料と

して、耐酸化性に優れた半導体材料を使用した半導体装置に関する。

## 【0002】

【従来の技術】半導体集積回路においては様々な絶縁膜が用いられている。なかでも、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>、Pb(Zr,Ti)O<sub>3</sub>(略称PZT)などの金属酸化物は、絶縁性の他、強誘電性など様々な優れた特性をもつ。しかし、これらの特性を発現させるためには、絶縁膜の形成時に、高温プロセスが要求される。そのため、例えばSiのような耐酸化性の劣る半導体上への形成は、高温プロセスによる素子機能の損傷が懸念され、また金属酸化物のSiへの拡散による機能の低減が懸念されていた。図8はIEEE Trans. Electron Devices ED-21, p499(1974)に報告されているSi基板上に強誘電体Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜を接合した、絶縁ゲート型電界効果トランジスタ(MISFET; Metal Insulator Semiconductor Field Effect Transistor)を用いて構成される強誘電体記憶素子FRAM; Ferroelectric Random Access Memory)である。図において、81はp型Si半導体基板、82は金属電極、83は強誘電体Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜、84はNチャンネル、85はソース、86はゲート、87はドレインである。強誘電体Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜83は、p型Si半導体基板81を高温に加熱し、スパッタリング法により形成している。この強誘電体トランジスタは記憶素子として動作させることができる。しかし、このトランジスタは、上記で示したような素子機能の損傷が懸念されるため、量産プロセスの確立に至っていない。

【0003】一方、PZTのような強誘電体膜をトランジスタへ適用するための、別の構造が提案されている。図9は強誘電体単結晶基板を用いた強誘電体トランジスタの構造を示したものである。図において、91は下部ゲート電極、92は強誘電体単結晶基板で、厚さは150μm程度の薄い基板である。93はソース電極、94はドレイン電極、95は真空蒸着した半導体膜、96はゲート絶縁膜、97は上部ゲート電極である。強誘電体単結晶基板を用いたのは、その上に形成する半導体膜の結晶性を良好にするためである。各電極には金(Au)を用いた。このトランジスタは下部ゲート電極91を介してSi基板等にボンディングすることができる。また、ボンディングにより、強誘電体トランジスタの半導体集積回路への適用が可能となる。

【0004】また、回路動作信頼性、集積度の向上のために、絶縁性基板上にSi等の半導体を形成するSOI(Semiconductor-on-Insulator)構造の使用が進められている。絶縁性基板としてはサファイヤ(Al<sub>2</sub>O<sub>3</sub>)や石英(SiO<sub>2</sub>)等が使用される。

【0005】また、図10は、IEEE Journal of Solid-State Circuits, Vol. 27 No. 11 p. 1534 (1992) に報告された従来の半導体基板上に能動素子を配置した半導体集積回路を示す。図において101はDRAM (Dynamic Random Access Memory) サブアレイとSRAM (Static Random Access Memory)、102はDRAMセル、103はコラムデコード、104はロウデコードである。このように、従来はDRAM、SRAMと周辺制御回路により単一の集積回路が構成されていた。

【0006】また、図11に表面酸化膜の厚さが一定の値以下の半導体基板の断面模式図を示す。図において、111はSi半導体基板、112はSi表面酸化膜、113はSiC、114はSiC表面酸化膜である。従来、表面酸化膜の厚さは5nm以上で制御していたので、自然酸化膜の厚さを考慮して、その上にCVD法等により酸化膜を形成していた。

【0007】

【発明が解決しようとする課題】従来の半導体装置は、以上のように構成されていたので、半導体基板上に強誘電体膜を形成した強誘電体トランジスタの場合を量産するには、素子機能の損傷による不良発生が問題となっていた。また、強誘電体単結晶基板上に半導体膜を形成した強誘電体トランジスタを集積回路に使用する場合、半導体基板上への配線のボンディングが必要なため、モノリシック性がなくなり、設計や高集積化が困難という問題があった。また、PZT等強誘電体とSiは反応性が高いため、反応防止材としてPtのようなバリア層を設けることも考えられるが、エッジ構造部でのリーク電流の発生により電気的な素子分離が十分でなくなるという問題があった。さらに、Siと強誘電体とは格子定数の差が大きく (Si: 約0.54nm, PZT強誘電体: 約0.4nm)、格子不整合のため、強誘電性絶縁膜上へ結晶性の優れたSi膜の形成は困難であった。逆に、Si基板上へ結晶性の良い強誘電体膜を形成することも困難であった。

【0008】また、高周波、高電力化に対応した半導体装置を実現するにはPZTのような強誘電性絶縁膜の採用に加えて、低抵抗配線部材を選定する必要がある、さらに素子機能を十分発揮させるために強誘電性絶縁膜と配線部材との間の応力を緩和しかつ付着力の向上を達成しなくてはならなかった。

【0009】さらに、従来の半導体装置に使用されるSOI基板は、以上のように構成されていたので、例えば代表的なSOI構造の一つであるサファイヤ上にSiを形成したものでは、Si層へのAl (サファイヤの構成元素) の拡散、サファイヤとSiの界面の格子定数の差により発生する結晶欠陥の誘起等により、界面の乱れが

素子性能を低下させ、これが大きな問題となっていた。

【0010】さらに、従来の半導体集積回路に使用される能動素子は、表面酸化膜を5nm以上の厚さに制御すればよかったが、今後の半導体集積回路に使用される、例えばMISトランジスタでは、チャンネル長が0.1μm、ゲート絶縁膜厚が3nm以下の制御が必要である。そのため、自然酸化膜の厚さが通常4nm以上もあるSi基板の適用は難しく、Si基板よりも、より薄い酸化膜が安定して形成できる半導体材料が必要となっていた。

【0011】さらに、従来の半導体集積回路においては半導体基板上にDRAMとSRAMの能動素子を配置し設計していたので、高出力化への対応が困難で、さらに配置する素子数に限界があり高集積化の妨げとなっていた。また、SRAMに代って従来構造のFRAMを配置する場合、上記のように、FRAMをボンディングすることにより集積回路に搭載していたため、モノリシック性がなくなることにより設計が難しくなり、また、リーク等素子機能の低下が懸念されていた。

【0012】この発明は、上記のような問題点を解決するためになされたもので、PZT等のような優れた特性を有する絶縁膜を用いることのできる半導体基板材料を有する半導体装置を提供するものである。また、高周波、高電力化に対応できる半導体基板材料を有する半導体装置を提供するものである。さらに、界面構造の乱れのないSOI基板を実現するための半導体材料からなる半導体装置を提供するものである。さらに、半導体集積回路において、高出力化、高集積化に対応できるFRAMが部分配置された半導体装置を提供するものである。さらに、Si基板よりも、より薄い酸化膜が安定して形成できる基板を有する半導体装置を提供するものである。

【0013】

【課題を解決するための手段】請求項1の発明に係わる半導体装置は、MISFETを用いて構成されるFRAMにおいて、半導体部を耐酸化性の良好な半導体材料より構成するものである。

【0014】請求項2の発明に係わる半導体装置は、請求項1の半導体装置において、半導体材料により形成されたドレインまたはソース部分に接続する配線材料が銀または銅からなることを規定したものである。

【0015】請求項3の発明に係わる半導体装置は、請求項1の半導体装置において、半導体材料上に形成された強誘電性絶縁層の格子定数と配線部材を構成する配線材料の格子定数がほぼ等しいことを規定するものである。

【0016】請求項4の発明に係わる半導体装置は、請求項3の配線材料が銀またはアルミニウムであることを規定するものである。

【0017】請求項5の発明に係わる半導体装置は、S



〇1構造を用いた半導体集積回路において、半導体部を耐酸化性の良好な半導体材料により構成するものである。

【0018】請求項6の発明に係わる半導体装置は、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部を、表面変質層の制御された耐酸化性の良好な半導体材料により構成するものである。

【0019】請求項7の発明に係わる半導体装置は、請求項1～6の半導体装置の半導体部をSiCにより構成するものである。

【0020】請求項8の発明に係わる半導体装置は、請求項7のSiCとして立方晶構造のSiCを用いたものである。

【0021】請求項9の発明に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部をBNまたはダイヤモンドにより構成するものである。

【0022】請求項10の発明に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部をYB<sub>6</sub>により構成するものである。

【0023】請求項11の発明に係わる半導体装置は、請求項1～6の半導体装置の半導体部をNbを主原料とする不純物含有したSrTiO<sub>3</sub>または化学量論比から酸素が一部欠落したSrTiO<sub>3-x</sub>により構成するものである。

【0024】請求項12の発明に係わる半導体装置は、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子を請求項1～4、7～11項のいずれか1項に記載の半導体装置により構成するものである。

【0025】

【作用】この発明の請求項1に係わる半導体装置は、半導体部を耐酸化性の良好な半導体材料を用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。

【0026】この発明の請求項2に係わる半導体装置は、請求項1に記載の半導体装置の配線材料として銀または銅のような低抵抗の材料を用いたので、高出力回路のような大電流回路にも対応できるよう作用する。

【0027】この発明の請求項3に係わる半導体装置は、請求項1に記載の半導体装置の強誘電体部の格子定数をほぼ一致させたので、格子定数の差による界面での応力や結晶欠陥の発生を抑制し、付着力が向上するように作用する。

【0028】この発明の請求項4に係わる半導体装置は、請求項3に記載の半導体装置の配線材料として銀やアルミニウムを用いたので、格子定数の差による界面での応力や結晶欠陥の発生を抑制し、付着力が向上するように作用し、さらに、低抵抗の材料であるので、高出力

回路のような大電流回路にも対応できるよう作用する。

【0029】この発明の請求項5に係わる半導体装置は、SOI基板の半導体部を耐酸化性の良好な半導体材料を用いたので、これらは化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。

【0030】この発明の請求項6に係わる半導体装置は、半導体集積回路の能動素子を構成する半導体に耐酸化性の良好な半導体材料を用いたので、自然酸化膜は極めて薄くしか形成されないで、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0031】この発明の請求項7に係わる半導体装置は、請求項1～6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるSiCを用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないで、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0032】この発明の請求項8に係わる半導体装置は、請求項7のSiCとして立方晶構造のSiCを用いたので、一般的なSiCよりも緻密な構造であるため、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、一層機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、一層機能を維持するよう作用する。更に、自然酸化膜はさらに極めて薄くしか形成されないで、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0033】この発明の請求項9に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるBNまたはダイヤモンドを用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないで、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0034】この発明の請求項10に係わる半導体装置は、請求項1、2、5、6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるYB<sub>6</sub>を用いたので、その上に高温プロセスでPZT等を形成しても、表面酸

化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないの、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0035】この発明の請求項11に係わる半導体装置は、請求項1～6の半導体装置の半導体部に耐酸化性の良好な半導体材料であるNbを主原料とする不純物を含むしたSrTiO<sub>3</sub>または化学量論比から酸素が一部欠落したSrTiO<sub>3-x</sub>を用いたので、その上に高温プロセスでPZT等を形成しても、表面酸化、構造変化等の基板機能の低下が生じないよう、機能を維持するよう作用する。また、化学的に安定であるため、界面での構成元素の拡散や基板構造変化等の機能の低下が生じにくく、機能を維持するよう作用する。更に、自然酸化膜は極めて薄くしか形成されないの、表面酸化膜等の表面変質層が制御しやすく、チャンネル長の縮小化等半導体装置の高集積化を促す。

【0036】この発明の請求項12に係わる半導体装置は、半導体集積回路の能動素子の一部または全部にFRAMを用いたので、SRAMやDRAMで構成される場合より各素子を小さくすることができるため、高集積化を促す。また、請求項1～4、7～11のいずれか1項に記載の半導体装置であるFRAMを用いているので、高出力回路にも対応できるように作用する。

【0037】

【実施例】

実施例1. 以下、請求項1、7の発明の一実施例を図を用いて説明する。図1はこの発明によるFRAMからなる半導体装置の製造工程断面図である。本実施例では素子間分離のため、メサ型構造の例について示す。図において、1はSi基板、2は耐酸化性半導体膜で、ここではSiC膜である。3はPZTのような強誘電体膜、4はAl合金膜、5はソース領域、6はドレイン領域、7はAl合金配線である。次に製造工程の順に説明する。

(a)のようにSi基板1上にSiC膜2とその上に強誘電体膜3を成膜する。SiC膜2は例えば、SiH<sub>4</sub>やC<sub>3</sub>H<sub>8</sub>のようなガスを用い、熱CVDにより形成する。強誘電体膜3は従来例で示したPZTのようにCVD法で形成する。次に(b)のように、強誘電体膜3上に例えば、スパッタ法によりAl合金膜4を堆積し、素子分離領域を残すようにAl合金膜4をエッチングし、パターニングした後、三フッ化窒素(NF<sub>3</sub>)ガス等を用いてSiC2と強誘電体膜3をプラズマエッチングし、素子分離領域をメサ型に形成する。最後に(c)のように、イオン注入により、ソース領域5及びドレイン領域6、Al合金配線7等を形成し、SiCを用いたFRAMセル、すなわちトランジスタ回路を形成する。

【0038】なお、上記実施例ではSi基板上にSiC膜を形成する例について示したが、市販のSiC基板、例えば、CREE Research Inc. の6H-SiCを用い、その上にPZTのような強誘電体膜を形成してもよい。また、成膜法は所望のものが得られるならばCVD法に限定されるものではない。

【0039】実施例2. 以下、請求項1、7、8の発明の一実施例を説明する。実施例1のSiC成膜時に、例えば、Appl. Phys. Lett. No. 60 p. 1703 (1992)に記載されているような、モノメチルシラン(SiCH<sub>3</sub>H<sub>3</sub>)ガスを用い、Si基板上に750℃の温度で熱CVDを用いる。これにより、SiCのなかでも緻密な構造である立方晶SiC膜を形成することができる。それ以降の製造工程は、実施例1と同様である。

【0040】実施例3. 以下、請求項1、9の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にKrFレーザ(波長248nm)を用いたレーザアブレーション法によりBNをエビタキシャル成長させる。それ以降の製造工程は、実施例1と同様で、エッチング時にBNエッチング用のガスを用いばよい。

【0041】実施例4. 以下、請求項1、9の発明の別の実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にCH<sub>4</sub>ガスやC<sub>2</sub>H<sub>2</sub>等の炭素を含んだガスを用いたマイクロ波CVD法または熱フィラメント法等によりダイヤモンド膜を形成する。それ以降の製造工程は、実施例1と同様で、エッチング時にダイヤモンド用のエッチングガスを用いばよい。

【0042】実施例5

以下、請求項1、10の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にY-Bターゲットを用いた、スパッタ法によりYB<sub>6</sub>を成膜する。それ以降の製造工程は、実施例1と同様で、エッチング時にYB<sub>6</sub>用のエッチング用のガスを用いばよい。

【0043】実施例6. 以下、請求項1、11の発明の一実施例を説明する。実施例1のSiC成膜の代わりに、Si基板上にSr-Ti(-O)またはSr-Ti-Nb(-O)をターゲットに用い、酸素雰囲気中で反応性スパッタを行い、チタン酸ストロンチウム系の膜を形成する。それ以降の製造工程は、実施例1と同様で、エッチング時にチタン酸ストロンチウム系用のガスを用いばよい。

【0044】実施例7. 以下、請求項1、2、7～11の発明の一実施例を図を用いて説明する。図2は、この発明によるFRAMからなる半導体装置の断面図である。図において、11はSi基板、12は埋め込みSiO<sub>2</sub>、13は耐酸化性半導体で、13aはソース領域、13bはドレイン領域である。14は例えばPZTのよ

うな強誘電体、15は多結晶Si、16はSiO<sub>2</sub>、17は低抵抗のCuまたはAg配線、18は下地配線である。次に製造方法の例について簡単に説明する。Si基板11上に熱酸化、スパッタ等で埋め込みSiO<sub>2</sub>12を形成する。そのうえに、実施例1〜6に記載した方法でSiC、BN、ダイヤモンド等の耐酸化性半導体13を形成する。その後、メサ型にパターニングし、実施例1と同様の方法で強誘電体14の形成、耐酸化性半導体13へのイオン注入を行い、さらに、下地配線18、多結晶Si15、SiO<sub>2</sub>16、低抵抗配線17をそれぞれスパッタやCVD法により積層してFRAMを形成する。低抵抗配線17はCuまたはAgのターゲットを用いたスパッタ法を始めとするPVD法やビスジビロイルメタナト銅(Cu(C<sub>11</sub>H<sub>18</sub>O<sub>2</sub>)<sub>2</sub>)、ビスヘキサフルオロアセチルアセトナト銅(Cu(C<sub>5</sub>HF<sub>6</sub>O<sub>2</sub>)<sub>2</sub>)ガスをを用いたCu配線用CVD法AgFガスをを用いたAg配線用CVD法により形成する。本実施例ではソース領域13aやドレイン領域13bに直接CuまたはAgの低抵抗配線17を形成する例について示したが、例えば、酸化ルテニウム(RuO<sub>2</sub>)のような低抵抗の導電性膜を介して配線してもよい。

【0045】実施例8. 以下、請求項1、3、4、7、8の発明の一実施例について説明する。図2中の例えばA部において耐酸化性半導体13と強誘電体14、配線17は接続している。この接合部の品質確保のために、耐酸化性半導体13と強誘電体14、配線17に用いられる材料の格子定数を概ね一致させる。すなわち、実施例2において、0.43596nmの格子定数を有する立方晶SiCを形成する。その上に、SiCと格子定数の近い強誘電体として、例えば、格子定数が0.4036nm(a軸、c軸は0.4146nm)であるPZTを成膜する。さらに、配線17としてAgを形成する場合、Ag本来の格子定数0.4086nmにできるだけ近くなるように成膜時の不純物の混入を抑制する等組成、構造制御を行う。また、配線17としてAlを形成する場合も、Al本来の格子定数0.4050nmにできるだけ近くなるように制御する。

【0046】実施例9. 以下、請求項1、3、4、11の発明の一実施例について説明する。実施例8において、耐酸化性半導体13として、SrTiO<sub>3</sub>を用いる。SrTiO<sub>3</sub>はスパッタ成膜する際にNbを主原料とする不純物や酸素Oの欠損率を制御して半導体の特性を制御しつつ、本来の格子定数0.39nm以上でかつできるだけ近くなるように制御する。以上の実施例8、9のように格子定数は、PZT強誘電体を用いる場合、強誘電体、耐酸化性半導体、配線材が概ね0.39〜0.44nmで一致すればよい。

【0047】上記実施例8、9においては、耐酸化性半導体、配線材料、強誘電体の格子定数のマッチングがとれ、互いに反応して拡散層や合金層を形成しにくい材料

であれば、上記材料に限定するものではない。

【0048】実施例10. 以下、請求項5、7〜11の発明の一実施例について図を用いて説明する。図3は、この発明によるSOI基板の構造を示したものである。図において、13は耐酸化性半導体、19は絶縁基板ここでは石英基板を用いている。石英基板19上に実施例1〜6に示された手法で、SiC、BN、ダイヤモンド等の耐酸化性半導体13を形成する。

【0049】実施例11. 以下、請求項5、7〜11の発明の別の実施例について図を用いて説明する。図4は、実施例10で形成したSOI基板を図2で示されるFRAMに適用した例である。図において、20は図2中の埋め込みSiO<sub>2</sub>の一部に相当する層間絶縁膜で、ここではSiO<sub>2</sub>である。このように、耐酸化性半導体を用いてSOI基板を構成すると、多くの種類への半導体装置への適用できる。

【0050】実施例12. 以下、請求項6〜11の発明の一実施例について説明する。例えば、能動素子として実施例1〜6で形成されるようなFRAMを用いる。実施例1〜6において、耐酸化性半導体膜の形成時またはその後のプロセスにおいて耐酸化性半導体膜の表面酸化膜の厚さまた、その上に形成される強誘電体膜との接合層(極薄い拡散層、合金層等を示す)のような耐酸化性半導体膜からみた表面変質層の厚さを3nm以下に制御する。制御の方法としては、例えば耐酸化性半導体膜と強誘電体膜の成膜装置の到達真空度を向上させたり、両者を連続プロセスで形成する方法による。これにより、従来形成することのできなかったチャンネル長が0.1μm以下の短いチャンネル長の高性能の能動素子が形成できる。

【0051】実施例13. 以下、請求項1〜4、7〜12の発明の一実施例について図を用いて説明する。図5は、本発明による半導体基板上にFRAMを能動素子の一部として搭載した半導体集積回路を示したものである。図において、21はDRAM、22はFRAMで、実施例1〜6、10〜11に従って形成する。23はコラムデコード、24はロウデコードである。半導体集積回路は、例えばSi半導体基板の上に成膜やエッチング等のプロセスを用いて、連続プロセスで形成してもよいし、DRAM、FRAMをそれぞれチップとして形成した後、半導体基板上にモノリシック性を失わないような層を介する等してボンディング等で配列して接続してもよい。

【0052】なお、上記実施例では図5のような、分散型キャッシュDRAMについて、示したが、図6のような分散型であっても、図7のような集中型であってもよい。なお、図6、7において25はDRAMサブアレイとFRAM、26はバスラインである。

【0053】

【発明の効果】以上のように、請求項1の発明によれ

11

ば、MISFETを用いて構成されるFRAMにおいて、半導体部を耐酸化性の良好な半導体材料により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているので、半導体の高信頼化を図ることが可能となる。

【0054】以上のように、請求項2の発明によれば、請求項1の半導体装置において、半導体材料により形成されたドレインまたはソース部分に接続する配線材料として銀または銅からなる低抵抗材料を用いたので、高周波、高電力化に対応した半導体装置の実現が可能となる。

【0055】以上のように、請求項3、4の発明によれば、請求項1の半導体装置において、半導体材料上に形成された強誘電性絶縁層の格子定数と配線部材を構成する配線材料の格子定数をほぼ等しくし、さらに配線材料とし銀またはアルミニウムを用いたので、格子不整合によるストレスミグレーションを抑制することができ、半導体装置の高信頼化を図ることが可能となる。

【0056】以上のように、請求項5の発明によれば、SOI構造を用いた半導体集積回路において、半導体部を耐酸化性の良好な半導体材料により構成したので、絶縁体-半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。

【0057】以上のように、請求項6の発明によれば、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子の半導体部を、表面変質層の制御された耐酸化性の良好な半導体材料、により構成したので、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

【0058】以上のように、請求項7、8、11の発明によれば、請求項1～6の半導体装置の半導体材料として、SiCまたは立方晶構造のSiC、Nbを主原料とする不純物を含むSrTiO<sub>3</sub>または化学量論比から酸素が一部欠落したSrTiO<sub>3-x</sub>により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているので、半導体の高信頼化を図ることが可能となる。また、絶縁体-半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。さらに、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

【0059】以上のように、請求項9、10の発明によれば、請求項1、2、5、6の半導体装置の半導体材料として、BN、ダイヤモンドまたはYB<sub>6</sub>により構成したので、PZT等のような優れた特性の絶縁膜を半導体装置に適用することができ、さらに、それらの界面特性が優れているので、半導体の高信頼化を図ることが可能

12

となる。また、絶縁体-半導体の界面構造の優れたSOI基板を構成することができ、半導体装置の高信頼化を図ることが可能となる。さらに、表面変質層除去の工程が簡略化され、また信頼性の高い素子の形成が可能となる。

【0060】以上のように、請求項7～9の発明によれば、請求項1の半導体装置の半導体材料としてそれぞれ、SiCまたは立方晶構造のSiC、BN、ダイヤモンドを用いたので、従来のSiよりも化学的、熱的に安定で500℃以上の高温で動作する耐環境素子への適用が可能となる。

【0061】以上のように、請求項7～9の発明によれば、請求項1、5、6の半導体装置の半導体材料としてそれぞれ、SiCまたは立方晶構造のSiC、BN、ダイヤモンドを用いたので、従来のSiに比べて熱伝導率が高いので、大電力半導体装置への適用が可能となる。

【0062】以上のように、請求項12の発明によれば、半導体基板上に配置された能動素子から構成される半導体集積回路において、能動素子の一部あるいは全部の素子を請求項1～4、7～11項のいずれか1項に記載の半導体装置により構成したので、素子サイズの縮小化または集積回路の高密度化が可能となる。

【図面の簡単な説明】

【図1】この発明の実施例1～6による半導体装置の製造工程を示す断面図である。

【図2】この発明の実施例7～9による半導体装置の断面図である。

【図3】この発明の実施例10による半導体装置の断面図である。

【図4】この発明の実施例11による半導体装置の断面図である。

【図5】この発明の実施例13による半導体装置集積回路の構成図である。

【図6】この発明の実施例13による別の半導体装置集積回路の構成図である。

【図7】この発明の実施例13による別の半導体装置集積回路の構成図である。

【図8】従来の強誘電体トランジスタの断面構成図である。

【図9】従来の別の強誘電体トランジスタの断面構成図である。

【図10】従来の半導体集積回路の構成図である。

【図11】従来の表面酸化膜の厚さが一定の値以下の半導体基板の断面模式図である。

【符号の説明】

- 1 Si基板
- 2 耐酸化性半導体膜
- 3 強誘電体膜
- 4 Al合金膜
- 5 ソース領域

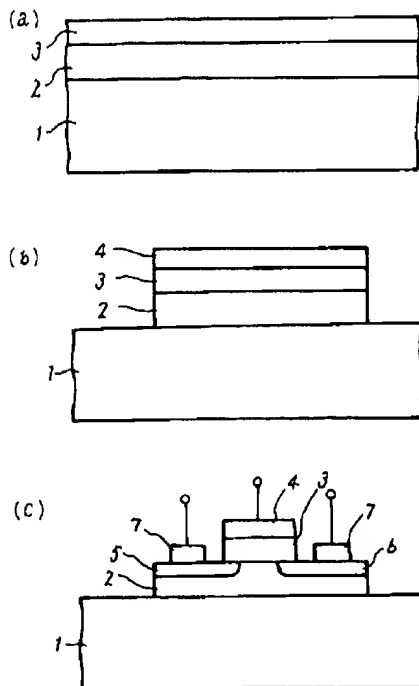
13

14

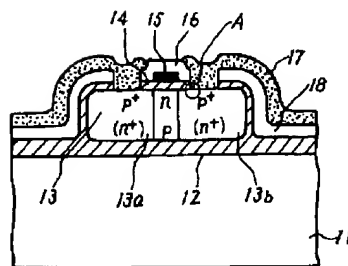
- 6 ドレイン領域
- 7 Al合金配線
- 11 Si基板
- 12 埋め込みSiO<sub>2</sub>
- 13 耐酸化性半導体膜
- 14 強誘電体
- 15 多結晶Si
- 16 SiO<sub>2</sub>
- 17 低抵抗配線 (CuまたはAg)
- 18 下地配線
- 19 絶縁基板 (石英基板)
- 20 層間絶縁膜
- 21 DRAM
- 22 FRAM
- 23 コラムデコーダ
- 24 ロウデコーダ
- 25 DRAMサブアレイとFRAM
- 26 バスライン
- 81 p型Si半導体基板
- 82 金属電極

- 83 強誘電体Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜
- 84 Nチャンネル
- 85 ソース
- 86 ゲート
- 87 ドレイン
- 91 下部ゲート電極
- 92 強誘電体単結晶基板
- 93 ソース電極
- 94 ドレイン電極
- 10 95 半導体膜
- 96 ゲート絶縁膜
- 97 上部ゲート電極
- 101 DRAMサブアレイ
- 102 DRAMセル
- 103 コラムデコーダ
- 104 ロウデコーダ
- 111 Si半導体基板
- 112 Si表面酸化膜
- 113 SiC
- 20 114 SiC表面酸化膜

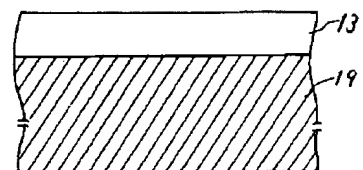
【図1】



【図2】

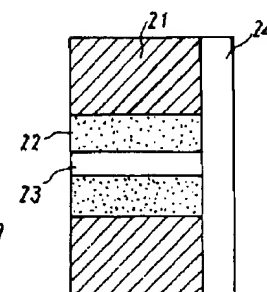
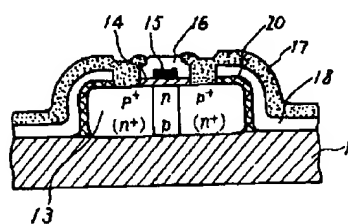


【図3】

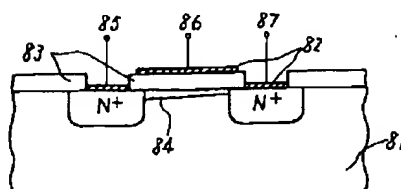


【図5】

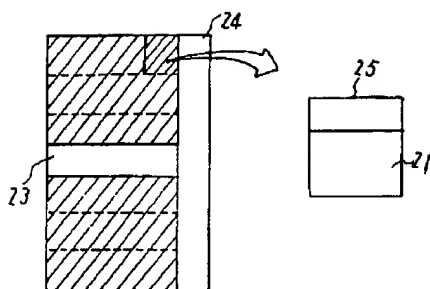
【図4】



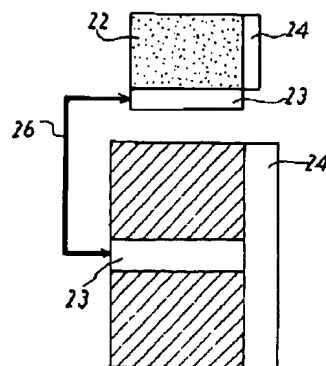
【図8】



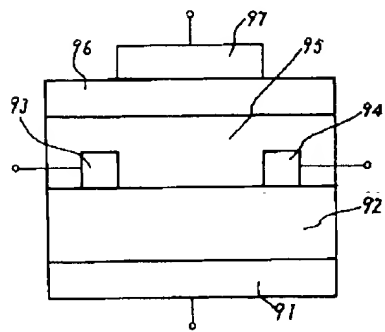
【図6】



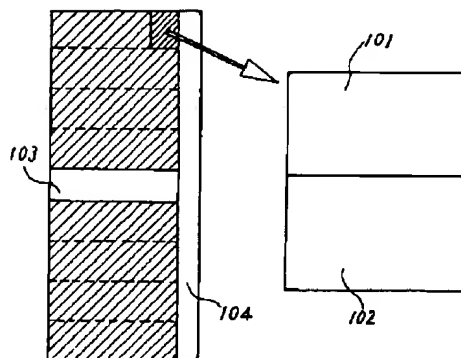
【図7】



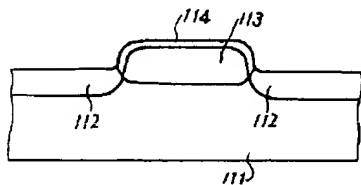
【図9】



【図10】



【図11】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

H01L 29/78

21/8247

29/788

29/792

識別記号

片内整理番号

F I

技術表示箇所

H01L 29/78

371

(72)発明者 大石 敏之

尼崎市塚口本町8丁目1番1号 三菱電機  
株式会社半導体基礎研究所内

(72)発明者 和田 幸彦

尼崎市塚口本町8丁目1番1号 三菱電機  
株式会社半導体基礎研究所内

(72)発明者 黒田 研一

尼崎市塚口本町 8 丁目 1 番 1 号 三菱電機  
株式会社半導体基礎研究所内

(72)発明者 児島 一良

尼崎市塚口本町 8 丁目 1 番 1 号 三菱電機  
株式会社半導体基礎研究所内